

شبیه سازی و بررسی پارامترهای موثر بر کاهش توان مصرفی در مدارهای ضرب کننده با استفاده از فناوری ترانزیستورهای CNT

عبدالرسول مقاتلی^۱، دکتر حسین مومن زاده^۲ و مهندس محمد نادر کاکایی^۳

۱ دانشجوی ارشد دانشگاه آزاد واحد بوشهر، Moghateli.abdolrasoul@gmail.com

۲ عضو هیات علمی دانشگاه آزاد واحد بوشهر، Momenzadeh.hosssein@gmail.com

۳ عضو هیات علمی دانشگاه آزاد واحد بوشهر kakaie2000@yahoo.com

تاریخ پذیرش: ۹۶/۲/۵

تاریخ دریافت: ۹۵/۱۲/۲

چکیده

در این مقاله، به ارائه یک ضرب کننده آنالوگ چهار ربعی مد جریان جدید برپایه ترانزیستور های نانو لوله کربنی می پردازیم. مدارهای مجذور کننده جریان که اخیرا طراحی شده است و آینه جریان، که در ولتاژ تغذیه پایین (IV) کار می کنند، اجزای اساسی در تحقق معادلات ریاضی هستند. در این پژوهش مدار ضرب کننده، با استفاده از فناوری *CNTFET*، 32 نانو متر طراحی می شود و برای معتبر ساختن عملکرد مدار، ضرب کننده ارائه شده در شبیه ساز *HSPICE* شبیه سازی شده است. نتایج حاصل از شبیه سازی نشان می دهد که مدار قابلیت عملکرد مطلوب را تا فرکانس 2 گیگا هرتز، مصرف توان ماکزیمم $3.7464\mu w$ و همچنین دارای *THD* 0.226043% می باشد.

کلید واژه: ترانزیستور نانو لوله کربنی، ضرب کننده آنالوگ چهار ربعی، مد جریان، مدار مجذور کننده جریان.

مقدمه

بالا، دقت، مصرف توان هستند. همچنین فیلتر های ضد تداخل و صاف زمان پیوسته در ورودی و خروجی نیاز است. تقسیم کننده ها در طرف دیگر نیازمند مدارهای پیچیده تر و در یک مورد ساده آنها یک ضرب کننده در مسیر بازخورد آنها به عنوان یک تقویت کننده ی معکوس استفاده می شود. در مدارهای الکترونیکی دنبال این هستیم که ولتاژ کاری را کاهش داده و در نتیجه تلفات توان را پایین بیاوریم [1-7].

به دلیل توان مصرفی کم مدارهای طراحی شده به وسیله منطق مد جریان *MOS (MCML)*، استفاده از این روش در مدارات معمولی *CMOS* فرکانس های بالا، رو به افزایش است. [8]. بعلاوه روش طراحی اتوماتیک مدارها توجهات بیشتری را توسط طراحان برای تولید دوره ای کوتاه و سریعتر طرح به این سمت سوق می دهد. با افزایش قابل توجه سرعت سیستم

ضرب کننده های آنالوگ بلوک های مفیدی هستند که در پیاده سازی توابعی نظیر کنترل اتوماتیک، مدولاسیون، آشکار سازها، فیلترهای تطبیقی و شبکه های عصبی کاربرد دارند. ضرب کننده ها به دو دسته کلی ولتاژی و جریانی تقسیم می شوند که هر کدام نیز به سوئیچ شونده و پیوسته در زمان تقسیم می شوند. تاکنون طراحی ضرب کننده ها مورد توجه زیادی قرار گرفته اند. طراحی این مدارات توسط طراحان مدار، از ترانزیستورهای زمان پیوسته تا تکنیک های سوئیچ خازنی متفاوت می باشد. طراحی ضرب کننده ها در سطح ترانزیستوری از فرایند های پیچیده ی طراحی و صرف زمان طولانی رنج می برد. تکنیک های سوئیچ خازنی نیازمند طرح هایی با کلاک های زیاد، سطح زیاد چیپ، محدودیت فرکانس

بعدی نیمه رسانا ساخته می شوند. برای ساخت یک نانو لوله کربنی تک بعدی فقط احتیاج به یک سلیندر داریم، که این آسان بودن روند ساخت نانو لوله های تک بعدی باعث می شود تا به عنوان جایگزینی امید بخش برای ترانزیستورهای موجود محسوب شوند [13]. یک نانو لوله کربنی می تواند خاصیت رسانایی یا نیمه رسانایی داشته باشد، که این خاصیت با توجه به چینش اتم های کربن در کنار یکدیگر و همچنین زوایه آنها نسبت به هم در طول نانو لوله معین می شود. این مشخصه بنام بردار کایرالیته معروف می باشد و یکی از مشخصه های مهم در طراحی نانو لوله ها به حساب می آید و با استفاده از یک زوج عدد صحیح $(n1, n2)$ نشان داده می شود. اعداد $n2$ و $n1$ می توانند عملکرد نانو لوله را از لحاظ رسانایی یا نیمه رسانایی مشخص کنند، به این صورت که اگر مقدار دو عدد با هم برابر باشد و یا تفاضل آنها ضربی از عدد 3 باشد نانو لوله خاصیت رسانایی دارد و در غیر اینصورت نیمه رسانا می باشد. یکی دیگر از پارامترهای مهم در نانو لوله ها قطر نانو لوله می باشد که رابطه مستقیمی با اعداد $n1$ و $n2$ دارد، با افزایش این اعداد قطر نانو لوله افزایش می یابد و با استفاده از رابطه (I) بدست می آید [14-15]:

$$D_{CNT} = \frac{\sqrt{3}a_0}{\pi} \sqrt{n_1^2 + n_2^2 + n_1 n_2} \quad (1)$$

۲- مجذورکننده مد جریان

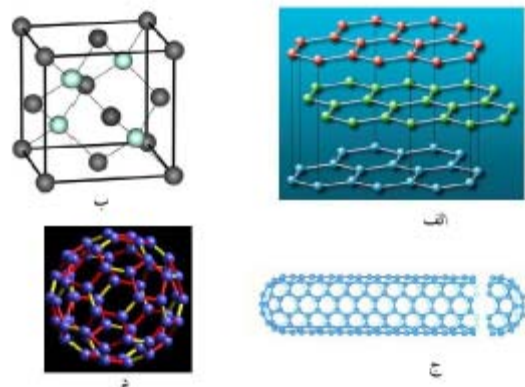
یکی از موثرترین روش ها برای کاهش تغییرات توان، پایین آوردن سطح ولتاژ تغذیه است، اما طراحی در این وضعیت بسیار دشوار است. پایین آوردن سطح ولتاژ به معنای محدود نمودن (گستره) نوسان خروجی است که در نتیجه، منجر به یک گستره ورودی محدود می شود [16-20]. بنابراین، مجذورکننده مورد استفاده باید قابلیت عملکرد مناسب در سطح ولتاژ تعیین شده را دارا باشد. بدلیل عملکرد بهتر مدارات پیشنهادی در مد جریان، ابتدا به مرور برخی مدارهای مجذورکننده با این ساختار می پردازیم که در گذشته ارائه شده است. مدار استفاده شده در مقالات [3-4-16]؛ با وجود فعالیت در یک ولتاژ سطح پایین $(\pm 0.7V \text{ and } 0.9V)$ ، در

های مخابراتی، درخواست برای مدارات $VLSI$ سرعت بالا و کم توان افزایش یافته است [9]. مقیاس بندی تکنولوژی $CMOS$ ظرفیت متراکم سازی بالایی در طراحی های $VLSI$ فراهم می کند. در طی سالهای اخیر ادوات 32 نانومتری نیز ساخته شده اند و انتظار می رود در رنج زیر میکرون عمیق به 10 نانومتر نیز برسند. در تکنولوژی 32 نانومتری، سطح و جریان نشتی نیز افزایش یافته است [10-11].

در این مقاله ابتدا به بررسی ساختار ترانزیستور های CNT پرداخته و در ادامه مدار مجذورکننده جریان و مدار ضرب کننده مورد تحلیل ریاضی قرار گرفته سپس با پیشنهاد طرح جدید مدار مجذور کننده، و با استفاده از تکنولوژی ترانزیستورهای CNT به جای تکنولوژی $CMOS$ به بررسی نتایج شبیه سازی مدار پیشنهادی پرداخته شده است.

۱- ترانزیستور نانو لوله کربنی $CNTFET$

نانولوله ها بنا بر پیکربندی هندسی خود می توانند خواص رسانایی و یا نیمه رسانایی از خود نشان دهند و همین موضوع این مواد را از سایر مواد مشابه متمایز می کند. نانولوله ها علاوه بر سبک بودن استحکامی چند برابر فولاد نیز دارند [12]. شکل 1 انواع گوناگون کربن را نشان می دهد.



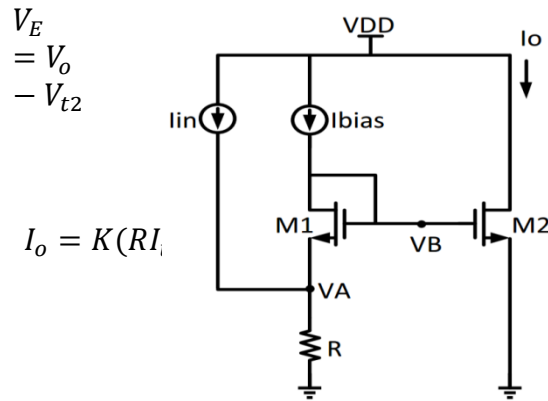
شکل ۱- (الف): صفحات گرافیت (ب): ساختار بلوری الماس (ج) نمونه ای از یک نانولوله ای آرمیچر (د) مولکول C_{60} که یک فلورین است [12].

ترانزیستورهای اثر میدانی با استفاده از نانو لوله های تک

ولتاژ گره (A) با رابطه زیر داده می شود:

I_{in} سیگنال ورودی جریان و I_{bias} یک جریان ثابت مناسب است که ولتاژ اولیه گره (B) (یعنی V_0 وقتی $I_{in}=0$) را تنظیم می کند. ولتاژ گره (B) برابر است با:

ناحیه زیرآستانه کار کرده و گستره های ورودی و خروجی محدود و دقت (3) دارد، اما ولتاژهای تغذیه $V_A = R(I_{in} + I_{bias}) + V_{t1}$ از: $3.3V, 5V, \pm 1.5V$. مدار استفاده توسط آقای بیرقی و همکاران و آقای دانش و همکاران، نه از گستره های ورودی و خروجی کوچک و نه از سطح ولتاژ تغذیه بالا رنج می برد، اما از 10 ترانزیستور تشکیل می شود که به ناحیه ای بزرگتر منجر شده و می تواند به هنگام استفاده در ساختار ضرب کننده، پهنای باند را محدود نکند [21-22]. شکل (4) مدار مجذورکننده ای را نشان می دهد که منبع توان آن برابر $V_{DD} = 2V$ است. این مدار از دو ترانزیستور تشکیل می شود که V_{B1} در $V_{B2} = R I_{bias} + V_{t1} + \sqrt{\frac{2I_{bias}}{K_1}}$ قرار دارند.



شکل ۲- مدار مجذورکننده جریان ارائه شده [29]

بر اساس روابط ۳، ۴، ۵ و ۶، معادله ۲ به معادله ۷ تبدیل خواهد شد.

$$I_o = K(RI_i$$

۳- مدار ضرب کننده

در پیاده سازی ساختار ضرب کننده، به چهار سلول مجذورکننده نیاز داریم. بر اساس فرمول (7) اگر $I_X + I_Y$ ، $-(I_X + I_Y)$ ، $I_X - I_Y$ و $-(I_X - I_Y)$ - بعنوان جریان های ورودی آنها اعمال شود، آنگاه جریان های خروجی این مدارها بصورت زیر خواهد بود:

$$I_{o1} = K(R(I_X + I_Y) \quad I_o = \quad (8) \quad (2)$$

$$I_{o2} = K(R(I_X - I_Y) \quad K = 0.5 \mu C_{OX} \left(\frac{W}{L}\right) \quad \text{که} \quad (9)$$

$$I_{o3} = K(R(I_X - I_Y) \quad \mu \quad \text{تحرك پذیری الکترون،} \quad C_{OX} \quad \text{ظرفیت کسید گیت در واحد سطح} \quad (10)$$

$$I_{o3} = K(-R(I_X - I_Y) \quad \frac{W}{L} \quad \text{نسبت ابعاد ترانزیستور} \quad (11)$$

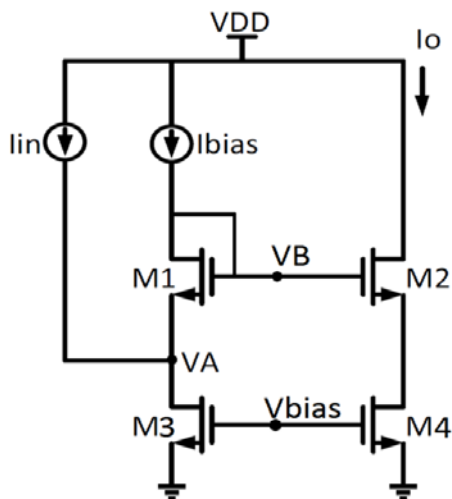
V_B : ولتاژ گیت- منبع

V_{t1} : ولتاژ آستانه $M1$

V_{t2} : ولتاژ آستانه $M2$

جریان خروجی ضرب کننده، با کم کردن حاصل جمع I_{O1} و I_{O2} از حاصل جمع I_{O3} و I_{O4} بصورت زیر بدست

به دلیل استفاده از مقاومت مدار دارای حجم زیادی است و نیز ممکن است دارای نویز حرارتی و تلفات حرارتی باشد به این دلیل با استفاده از کسکود کردن مدار را به شکل ۴ تغییر می دهیم .



شکل ۴: مدار ضرب کننده پیشنهادی

در ادامه با توجه به جریان های ورودی اعمال شده به مدار ضرب کننده پیشنهادی ، جریان خروجی با کمک روابط (۲۳) (۲۴) (۲۵) (۲۶) محاسبه می گردد.

$$I_o = k_2(V_i$$

$$K = 0.5\mu t$$

$$V_{GS2} = VE$$

$$VA = Ron_{(I_{bias} + I_{in})}$$

$$VB = Ron(I_{bias} + I_{in})$$

شکل ۳: (۱۷) نمودار بلوکی و (ب) سطح V_{GS} را ساختار سطح

$$VB = Ron(I_{bias} + I_{in}) + \sqrt{\frac{I_{bias}}{k_1}}$$

۴- مدار ضرب کننده پیشنهادی (۱۸)

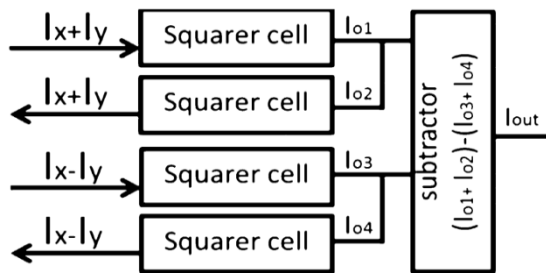
$$I_o = k_2(Ron(I_{bias} + I_{in}) + \sqrt{\frac{I_{bias}}{k_1}})$$

در ساختار پیشنهادی به دلیل بزرگ بودن حجم ترانزیستورهای $CNTFET$ برای جای تکنولوژی $CMOS$ و تکنولوژی $CNTFET$ برای طراحی ترانزیستور استفاده شده و به جای مدار مجذور کننده

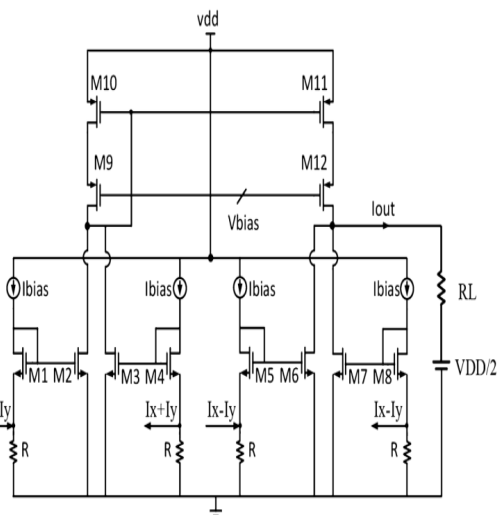
از مدار پیشنهادی شکل ۴ استفاده شده است. به دلیل اینکه

$$I_o = k_2(Ron \times I_{in} + (Ron \times I_{bias} + \sqrt{\frac{I_{bias}}{k_1}}))$$

ولتاژ های (۲۰) فرکانس های بالا $(Ron \times I_o)$ مدار شکل ۲



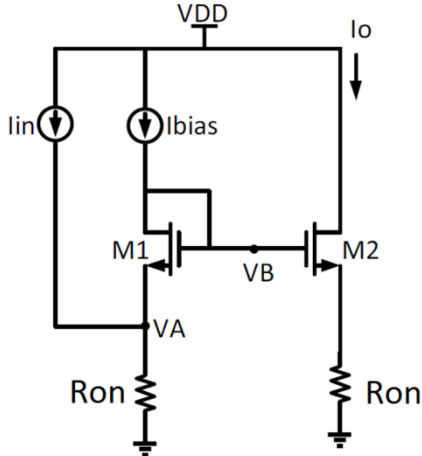
(الف)



(ب)

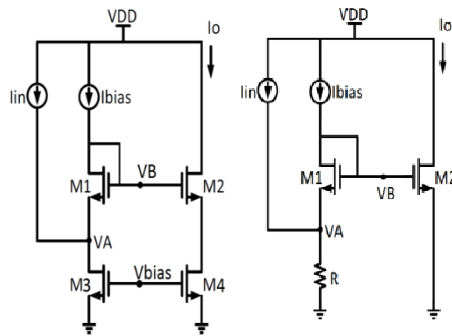
شبیه سازی و بررسی پارامترهای موثر بر کاهش توان مصرفی در ...

ترانزیستور های $M3$ و $M4$ در مدار شکل 4 در ناحیه ی خطی بایاس شده اند که میتوان به صورت شکل شماره 5 آن را نشان داد .



شکل 5: مدل ترانزیستورهای $M3$ و $M4$

در شکل 6 مدل ترانزیستوری مدار مجذور کننده و مدار پیشنهادی نشان داده شده است.



الف) مدار مجذور کننده پیشنهادی

شکل 6: ب) مدار مجذور کننده

های ضرب کننده (شکل 9)، پاسخ پله (شکل 10)، تبدیل فوریه خروجی (شکل 11) و همچنین جدول (جدول I) نتایج را مشاهده کرد. شکل 7 سطح مداری ساختار ضرب کننده پیشنهادی ارائه شده را نشان می دهد.

5- شبیه سازی و نتایج مدار در تکنولوژی $CNTFET$ ، 32 نانومتر تحت شرایط تغذیه 1 ولت و جریان های ورودی با دامنه 1 میکرو آمپر و همچنین جریان های بایاس 0.46 میکرو آمپر شبیه سازی شده است در ادامه می توان ساختار مداری ضرب کننده پیشنهادی (شکل 7)، مدولاسیون خروجی (شکل 8) ، موج

$$x = \left(Ron \right)$$

$$I_o = k(Ron)$$

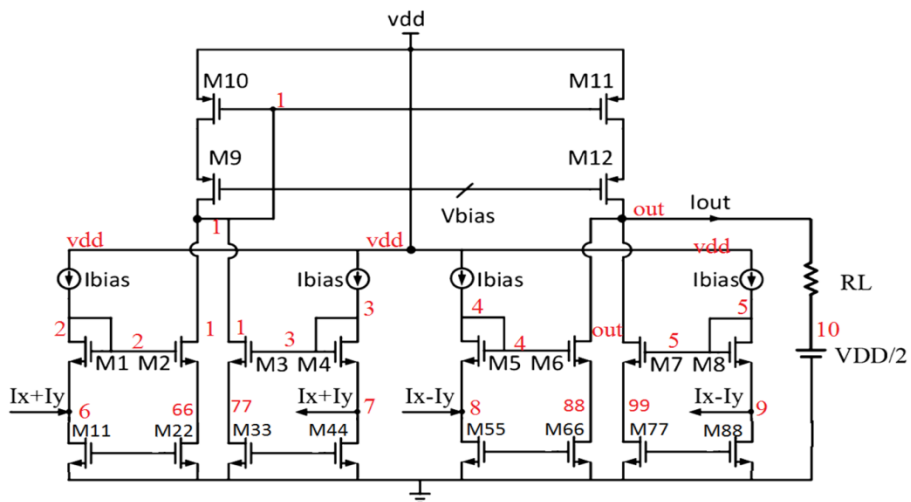
$$I_o1 = k(Ro)$$

$$I_o2 = k(-R)$$

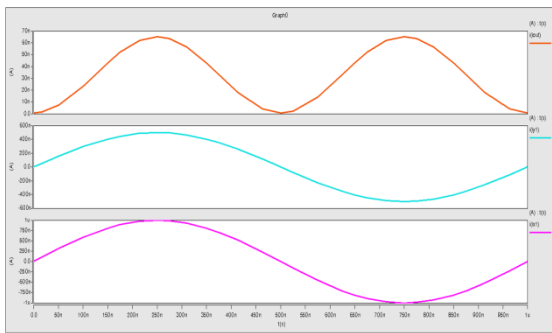
$$I_o3 = k(Ro)$$

$$I_o4 = (-Ro)$$

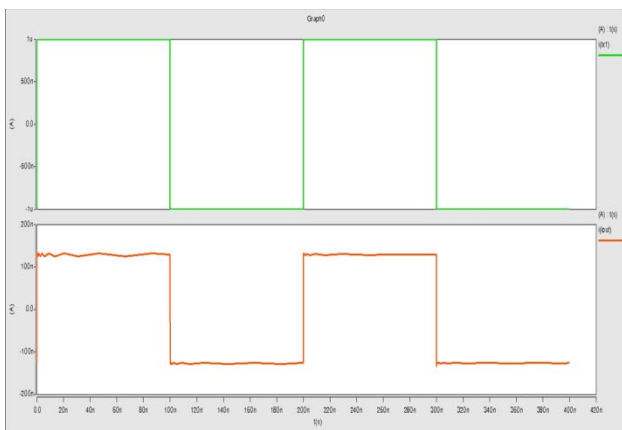
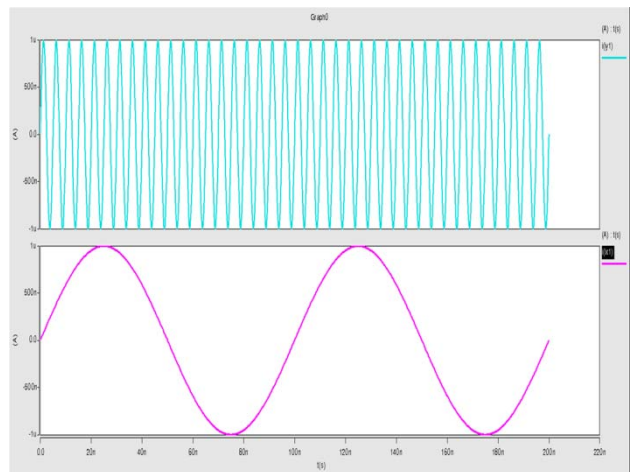
$$I_{out} = 8kRc$$



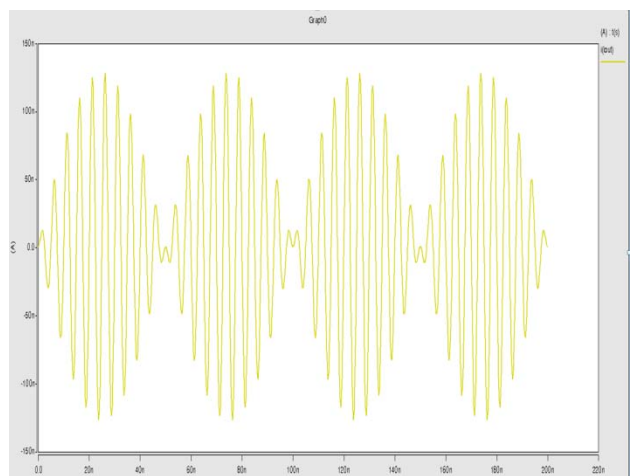
شکل ۷: سطح مدار ساختار ضرب کننده پیشهادی



شکل ۹- ضرب کننده بعنوان یک دو برابر کننده فرکانس.



شکل ۱۰: پاسخ پالسی ضرب کننده



شکل ۸: مدولاسیون خروجی

Power			THD(%)			F(Hz)		
CNT (μW)	CMOS(N) (μW)	CMOS(I) (mW)	CNT	CMOS(N)	CMOS(I)	CNT	CMOS(N)	CMOS(I)
۳,۷۴۶۴	۲۵,۳۰۹۹	0.232	6.45db	14.07db	58.9db	10K	10K	10K
۳,۷۴۶۴	۲۵,۳۰۹۹	0.232	6.46db	14.07db	56.9db	100K	100K	100K
۳,۷۴۶۴	۲۵,۳۰۹۹	0.232	6.46db	13.97db	55.8db	1M	1M	1M
۳,۷۴۶۴	۲۵,۳۰۹۹	0.232	6.46db	18.75db	43.7db	10M	10M	10M
۳,۷۴۶۴	۲۵,۳۰۹۹	0.232	6.41db	16.94db		100M	100M	100M
۳,۷۴۶۴	۲۵,۳۰۹۹	0.232	4.55db	11.49db		1G	1G	1G
۳,۷۴۶۴	۲۵,۳۰۹۹	0.232	2.40db	8.49db		2G	2G	2G

جدول ۱: جدول نتایج

جدول ۲: مقایسه کارایی مدار پیشنهادی با کارهای دیگران

Reference	technology (μm)	supply \pm Voltage (v)	Input rang	output rang	1MHZ THD	Power
[3]	2	5	± 20	± 5	1.54	930
[4]	0.35	3.3	± 10	± 10	0.97	340
[5]	2.4	5	100	100	1(10khz)	700
[14]	0.35	3.3	10	20	0.14	-
[16]	0.5	± 1.5	± 60	± 7	4.485	720
[17]	0.25	3.3	± 10	± 10	0.96	214.5
[22]	0.5	± 1.5	± 20	± 10	3.7	460
[23]	0.8	1.5	± 15	± 10	0.9	-
[24]	0.18	1.2	10	40	-	50
[25]	0.5	± 1.5	± 50	± 25	0.44(20khz)	500
[26]	0.25	1.5	± 200	± 40	0.25	-
[27]	0.35	± 0.75	± 20	± 20	0.83(10mhz)	-
[28]	0.35	2	± 10	± 10	0.16	232
This work CMOS	0.35	2	± 10	± 10	13.97	25.3092
This work CNT	0.32	1	± 1	± 1	6.46	3.7464

Beijing 100871, China , November 2014
Materials today . volume 17,
number9.PP.1369-7021.

[10] Sawigun and A. Demosthenous ,Ishit Makwana," A Low Power High Bandwidth Four Quadrant Analog Multiplier in 32 Nnmcfet Technology", International Journal of VLSI design & Communication Systems (VLSICS) April 2012, Vol.3, No.2,PP. 1205-1886.

[11] Yong-Bin Kim", Integrated Circuit Design Based on Carbon Nanotube Field Effect Transistor", Iransactions on Electrical and Electronic Materials, October 25, 2011, Vol. 12, No. 5, pp. 175-188

[12] Rodney S. Ruoff, Dong Qian, Wing Kam Liu, C.R. Physique, 4, (2003), 993

[13] H. Raffi-Tabar, Physics Reports, 390, (2004), 235.

[14] R. Satio, M. S. Dresselhaus, G. Dresselhaus, " Physical Properties Of Carbon Nanotubes, Imperial College Press" ISBN 1-86094-093-5, (1998).

[15] Jens Peder Dahl, " Introduction to the Quantum World of Atoms and Molecules, World Scientific Publishing Company", ISBN: 9810245653, (2001).

[16] Hashiesh MH, Mahmoud SA, Soliman AM. " New four-quadrant CMOS currentmode and voltage-mode multipliers. Analog Integr Circuits Signal Process" 2005;45(3):295-307.

[17] Minaei S, Yuce E. " New squarer circuits and a current-mode full-wave rectifier topology suitable for integration. Radio Eng" 2010;19(4):657-61.

[18] Hidayat R, Dejhan K, Moungnoul P, Miyanaga Y. " A GHz simple CMOS squarercircuit. ": IEEE International Symposium on Communications and Information Technologies, ISCIT. 2008. p. 539-42.

[19] Al-Tamimi KM, Al-Absi MA. " An ultra-low power high accuracy current-mode CMOS squaring circuit. In: International Conference of Electrical and Electronics Engineering". 2012. p. 872-4.

[20] Wisetphanichkij S, Singkrajom N, Kumngern M, Dejhan K. " A low-voltage CMOS current squarer circuit. " IEEE

[1] Seng YK, Rofail SS. " Design and analysis of ± 1 V CMOS four-quadrant analogue multiplier" IEEE Proc Circuits Dev Syst 1998

[2] Suzuki T, Oura T, Yoneyama T, Asai H" A new CMOS 4Q-multiplier using linear and saturation regions complementally. " In Proceedings of solid-state circuits conference, ESSCIRC; 2002.

[3] Tanno K, Ishizuka O, Tang Z" Four-quadrant CMOS current-mode multiplier independent of device parameters. " IEEE Trans Circuit Syst II 2000;47(5):473-7.

[4] Naderi A, Khoei A, Hadidi K, Ghasemzadeh H. " A new high speed and low power four-quadrant CMOS analog multiplier in current-mode. AEm - Int J Electron Commun " 2009;63(9):769-75.

[5] Lopez-Martin AJ, Carlosena A. " Current-mode multiplier/divider circuits based on the MOS translinear principle. Analog Integr Circuits Signal Process" ۲۰۰۸.

[6] Lopez-Martin AJ, De La Cruz Bias CA, Ramirez-Angulo J, Carvajal RG. " Compact low-voltage CMOS current-mode multiplier/divider. " In: Proceedings of IEEE international symposium on circuits and systems (ISCAS); 2010. p. 1583-6.

[7] Antonio J. Lopez-Martin • Carlos A. De La Cruz Blas. Jaime Ramirez-Angulo • Ramon G Carvajal, "Current-Mode CMOS Multiplier/Divider Circuit Operating in Linear/Saturation Regions Analog Integr Circ Sig Process, " 2011, Vol 66:299-302, NO 10., pp. 9552-10470.

[8] Fabien Prégaldiny, Jean-Baptiste Kammerer , Christophe Lallement, " Compact Modeling and Applications of CNTFETs for Analog and Digital Circuit Design", IEEE In ESS/ENSPS, Parc d'innovation, BP 10413, 67412 Illkirch cedex, France, 2006, Vol -2/06, pp.4244-0395.

[9] Lian _ mao peng , Zhiyong zhang , sheng wang, " Carbon Nanotube Electronics Recent Advances", ELSEVIER. Key Laboratory for the Physics and Chemistry of Nanodevices and Department of Electronics, Peking university,

quadrant CMOS current multiplier” *Electron Lett* 2001;37(24):1428–9.

[26] Prommee P, Somdunyanok M, Kumngern M, Dejhan K” Single low-supply current-mode CMOS analog multiplier circuit. In”: *IEEE International Symposium on Communications and Information Technologies, ISCIT*. 2006. p. 1101–4.

[27] Oliveira VJS, Oki N. ” Low voltage four-quadrant current multiplier: an improved topology for n-well CMOS process. ” In *International Conference on Design & Technology of Integrated Systems in Nanoscale Era*. 2007. p. 52–5.

[28] Naser Beyraghi , Abdollah Khoei” CMOS design of a low power and high precision four-quadrant analog multiplier” *Journal Received 29 May 2014 Accepted 18 October* 2014

E-51309; No. of Pages 8.

International Symposium on Communications and Information Technology, ISCIT. 2005. p. 271–4.

[21] Danesh MH, Mahmoodian E, Emami Fard A. ” A new current-mode squarer circuit for RMS-to-DC converter. *Int J Eng Innovative Technol” (IJEIT)* 2013;3(2).

[22] Kumngern M, Dejhan K. ” Versatile dual-mode class-AB four-quadrant analog multiplier. *Int J Signal Process* 2005;2(4).

[23] De La Cruz-Blas CA, Lopez-Martin AJ, Carlosena A. 1.5 V four-quadrant CMOS current multiplier/divider” *Electron Lett* ” 2003

;39(5):pp434–6.

[24] Popa C ” Improved accuracy current-mode multiplier circuits with applications in analog signal processing” *IEEE Trans Very Large Scale Integr (VLSI) Syst* 2014;22(2):443–7.

[25] Ravindran A, Ramarao K, Vidal E, Ismail M” Compact low voltage four