

طراحی و پیاده سازی یک رگولاتور ولتاژ با افت کم و خروجی ثابت شده با استفاده از راهکار تغذیه بدنه

وحید دهیده^۱، حامد امین زاده^۲ و عبدالرسول قاسمی^۳

^۱ دانشجوی ارشد دانشگاه آزاد واحد بوشهر vahid.dahideh@gmail.com

^۲ گروه مهندسی برق، دانشگاه پیام نور، ۴۶۹۷-۱۹۳۹۵، تهران، ایران، haminzadeh@ieee.org

^۳ عضو هیات علمی دانشگاه آزاد واحد بوشهر rasul_ghasemi@yahoo.com

چکیده

در این مقاله، طراحی و پیاده سازی رگولاتورهای ولتاژ با افت کم و تغییرات خروجی بسیار کوچک را با استفاده از راهکارهای نوینی به انجام رسانیده ایم. در ساختار مداری رگولاتور، برای اولین بار از دو راهکار تغذیه بدنه و استفاده از مرجع ولتاژ متغیر استفاده شده است. تغذیه اثر بدنه، با هدف افزایش هر چه بیشتر بهره حلقه رگولاسیون و استفاده از مرجع ولتاژ متغیر، با هدف تثبیت بیشتر ولتاژ خروجی و افزایش نسبت حذف منبع تغذیه (PSRR) انجام شده است. از نکات حائز اهمیت دیگر در این مقاله، پیاده سازی تقویت کننده خطا به کمک سه تقویت کننده عملیاتی تک سر و با ورودی $pMOS$ است که به افزایش قابل توجه دقت حلقه رگولاسیون می انجامد. مقدار PSRR بدست آمده برابر با 46dB در فرکانس 1KHz است. ولتاژ ورودی می تواند در بین 1.8V تا 2.5V تغییر کند و ولتاژ خروجی تثبیت شده، برابر با 1.6V است. حداکثر میزان ریبیل ولتاژ خروجی برابر با 1mV است که معادل با 0.03% می باشد. بار اهمی خروجی، برابر با 20Ω و بار خازنی متوسط برابر با 100pF است. حداکثر جریان خروجی به ازای امپدانس خروجی مورد نظر و ولتاژ افت 0.2V برابر با 80mA است.

کلمات کلیدی: رگولاتور ولتاژ با افت کم، نسبت حذف مد مشترک، اثر بدنه و ولتاژ مرجع.

۱- مقدمه

افتی به مقدار ولتاژ درین-سورس دارد. این در حالی است که در ترانزیستور $nMOS$ این افت به مقدار ولتاژ گیت-سورس ترانزیستور است که بسیار بیشتر از افت ولتاژ درین-سورس در $pMOS$ خواهد بود. شبکه تقسیم مقاومتی نسبتی از ولتاژ خروجی را با ولتاژ مرجع مقایسه می کند. مقایسه دو ولتاژ توسط تقویت کننده خطا انجام می شود. اندازه مقاومت ها در شبکه تقسیم مقاومتی بزرگ انتخاب می شوند تا بر روی بار مقاومتی خروجی تاثیری نداشته باشند.

شکل ۱ آرایش سیستمی یک رگولاتور ولتاژ با افت کم (LDO)^۱ را نشان می دهد. این رگولاتور مرکب از سه بخش اصلی زیر می باشد:

۱- ترانزیستور عبور دهنده $pMOS$ در بین ورودی و خروجی

۲- شبکه تقسیم کننده مقاومتی

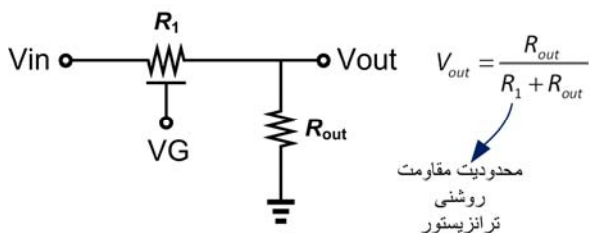
۳- تقویت کننده خطا

ترانزیستور $pMOS$ به دو علت در مدار LDO قرار می گیرد. اول آنکه این عنصر دارای نویز کمتری نسبت به ترانزیستور $nMOS$ است. دوم اینکه در انتقال ولتاژهای نزدیک به تغذیه

^۱ Low Dropout Regulator

طراحی و پیاده سازی یک رگولاتور ولتاژ با افت کم و خروجی ...

p MOS و دومین روش استفاده از یک تقویت کننده دیگر به منظور دستیابی به راهکار جدید مرجع متغیر ولتاژ است. در ادامه این مقاله ابتدا در بخش ۲ راهکار استفاده از اثر بدنه معرفی می شود. در بخش ۳ نحوه ی استفاده از راهکار مرجع متغیر معرفی شده و تحلیل خواهد شد. سپس در بخش ۴ نتایج بدست آمده از شبیه سازی توسط نرم افزار HSpice، مورد بررسی قرار خواهند گرفت. در بخش آخر مقاله، از نتایج بدست آمده نتیجه گیری خواهیم داشت.



شکل ۳: مقاومت حالت روشنایی بالای ترانزیستور عبوردهنده؛ علت اصلی عدم راه اندازی بار

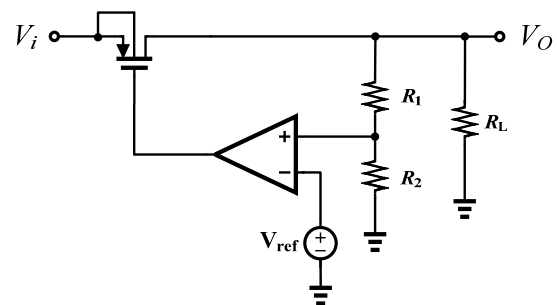
۲- استفاده از اثر بدنه

برای کاهش این مقاومت باید به پارامترهای وابسته آن توجه نمود. طبق رابطه ی مقاومت روشنی ترانزیستور p MOS در حالت خطی که در زیر بیان شده است، این مقاومت به ۳ پارامتر قابل تغییر حساس است. V_{GS} ، V_{th} و $\frac{W}{L}$ ترانزیستور.

$$R_1 = R_{ON} = \frac{1}{\mu_n C_{OX} \left(\frac{W}{L}\right) (V_{GS} - V_{TH})} \quad (1)$$

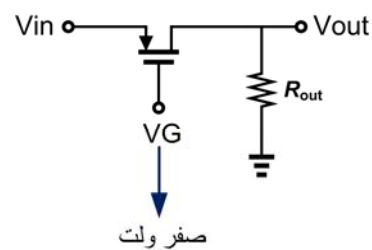
همانطور که پیش تر گفته شد، ولتاژ گیت- سورس با صفر شدن ولتاژ گیت به کمترین میزان خود می رسد. بنابراین برای کوچک کردن مقاومت روشنی تا حد معینی می توان بر روی ولتاژ گیت- سورس حساب کرد.

با توجه به رابطه ۱، اگر طول کانال کاهش و عرض کانال افزایش یابد مقاومت بشدت کم شود. این راه متداول، در واقع همان بزرگ تر کردن ترانزیستور است که در واقع ترانزیستور CMOS را تبدیل به ترانزیستوری قدرتی می کند. به همین دلیل در بعضی ساخت ها، نوع تکنولوژی ترانزیستور p MOS را در یک ویفر CMOS تغییر می دهند تا از افزایش ابعاد ترانزیستور و بالطبع افزایش فضای اشغالی کاسته شود. بزرگ تر کردن



شکل ۱: آرایش متداول برای LDO ها [۵]

یکی از موضوعات مهم در طراحی LDO ها اندازه ترانزیستور عبور دهنده می باشد. مدار شکل ۲ را در نظر بگیرید. این مدار یک ترانزیستور p MOS را نشان می دهد که در میان ولتاژ ورودی و ولتاژ خروجی قرار گرفته و به یک بار اهمی کوچک وصل شده است. این بار اهمی کوچک جریان بالایی را طلب می کند. از طرف دیگر، با توجه به ماموریت اصلی رگولاتورهای با افت کم، یعنی تثبیت ولتاژ خروجی با تنها یک افت ولتاژ ناچیز درین- سورس، ناگزیر هستیم ترانزیستور را در ناحیه خطی تغذیه کنیم. در این ناحیه، میزان جریان عبوری از آن نیز محدود می شود و به همین جهت هر چقدر میزان ولتاژ گیت کم شود یا به صفر برسد، میزان جریان عبوری برای راه اندازی بار بزرگ خروجی محدود خواهد بود.



شکل ۲: عدم دستیابی به جریان مورد نظر بار با وجود صفر شدن ولتاژ گیت ترانزیستور عبوردهنده

برای فهم بهتر این موضوع، تقسیم مقاومتی در شکل ۳ را در نظر بگیرید. با توجه به رابطه نشان داده شده در شکل، هر چه میزان مقاومت R_1 کمتر باشد، ولتاژ بیشتری به خروجی می رسد تا نهایتاً جریان مطلوب از بار اهمی عبور کند.

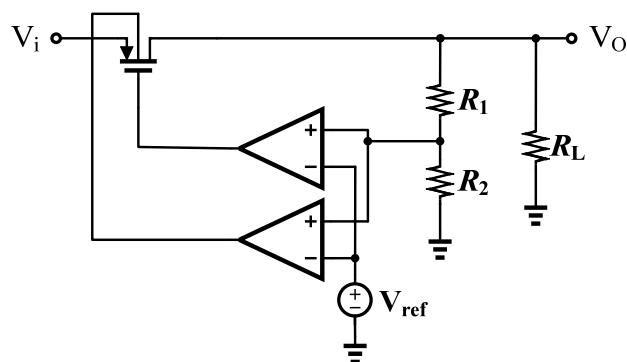
در این مقاله دو روش جدید به منظور بهبود کارکرد LDO معرفی شده است. اولین روش استفاده از اثر بدنه ترانزیستور

حال اگر فیدبک منفی به ازای این پایه شکل بگیرد، علاوه بر اینکه می‌تواند فیدبک منفی تشکیل دهد، می‌تواند بر کنترل ولتاژ آستانه به منظور کاهش مقاومت روشنی تاثیر گذار باشد. بنابراین دو حلقه‌ی فیدبک منفی در مدار موجود است که در شکل ۴ نمایش داده شده است. در واقع این فیدبک با تاثیرگذاری بر روی ولتاژ آستانه و کوچک‌تر کردن آن در کاهش افت ولتاژ درین-سورس موثر می‌باشد.

برای بررسی تاثیرگذاری مدار جدید ارائه شده بهتر است نتایج شبیه‌سازی مدارهای شکل ۱ و ۴ مقایسه شوند. این دو مدار به ازای شرایط جدول ۱ شبیه‌سازی شده‌اند. نتایج این شبیه‌سازی در شکل‌های ۹ و ۱۰ نشان داده شده است. همانطور که در شکل ۹ و ۱۰ دیده می‌شود، تنظیم ولتاژ پایه‌ی بدنه، باعث بهبود افت ولتاژ درین-سورس می‌شود، به صورتی که به ازای ولتاژ ورودی ۱/۸ ولت، برای شکل‌های ۹ و ۱۰، خروجی‌هایی به ترتیب ۱/۵۴ ولت و ۱/۵۷ ولت بدست می‌آید، که حاکی از بهبود ۳۰ میلی‌ولتی در خروجی می‌باشد. با توجه به نتایج مذکور، می‌توان میزان مقاومت روشنی قبل و در حالت بهبود یافته آن را محاسبه کرد و میزان این بهبود را به صورت درصد نیز بیان کرد. به همین دلیل ابتدا لازم است که رابطه‌ی نشان داده شده در شکل ۳ در نظر گرفته شود. با جایگذاری اعداد جدول ۱ می‌توان دید که مقدار مقاومت روشنی در حالت متداول 3.3Ω و در حالت استفاده از اثر بدنه به مقدار 2.9Ω بهبود یافته است؛ که حاکی از بهبود ۱۳ درصدی مقدار این مقاومت می‌باشد. اضافه کردن یک آپ امپ دیگر به مدار به منظور بهبود افت ولتاژ، بهبود ۱۳ درصدی مقدار ابعاد ترانزیستور را در پی دارد، اما این در حالی است که یک آپ امپ دیگر به مدار اضافه شده و ابعاد بزرگ‌تر می‌شود. اما نکته‌ی قابل ذکر اینجاست که این بهبود مانع از بزرگ شدن خازن‌های همپوشانی و گیت ترانزیستور $pMOS$ شده و به بهبود PSRR کمک می‌کند. بنابراین می‌توان گفت که ابعاد به ازای آپ امپ دوم بزرگ‌تر شده اما این در حالی است که خازن‌های ترانزیستور $pMOS$ تغییری نکرده و مقدار افت ولتاژ بهبود یافته است و این بهبود افت ولتاژ نیز، به افزایش جریان بار کمک می‌کند.

لازم به ذکر است که مدار آپ امپ استفاده شده در مدار شکل ۴

ترانزیستور علاوه بر فضای اشغالی زیاد موجب بزرگ شدن خازن‌های همپوشانی درین-سورس و اکسید گیت شده و موجب انتقال بیشتر نویز از ورودی به خروجی می‌شود و در نهایت PSRR را افزایش می‌دهد. در تکنولوژی ۱۸۰ نانومتر CMOS، بزرگترین ابعادی که برای یک ترانزیستور می‌توان در نظر گرفت، $900\mu m / 180nm$ می‌باشد. محدودیت در افزایش ابعاد ترانزیستور، باعث محدودیت در کاهش مقاومت درین-سورس ترانزیستور در ناحیه تراپودی می‌شود. البته راهی دیگر برای بزرگ‌تر کردن ترانزیستور، موازی کردن ترانزیستورها است. در مقاله‌ی [۳] ابعاد ترانزیستور $pMOS$ $26000\mu m / 180nm$ گزارش شده است که فضای اشغالی را بشدت بزرگ می‌کند. در [۳] با بزرگ‌تر کردن ابعاد، بیشترین جریان عبوری $50mA$ گزارش شده است که نشان می‌دهد به منظور افزایش جریان بیشتر، باید ابعاد را بزرگ‌تر کرد، که به هیچ وجه قابل توجیح نیست. ولتاژ آستانه (V_{TH}) ترانزیستور $pMOS$ به علت اینکه پایه‌ی بدنه آن به بالاترین ولتاژ وصل می‌شود، مقداری ثابت دارد. حال اگر این مقدار تغییر یابد و یا به عبارتی کوچک‌تر شود، می‌توان از آن در کوچک‌تر کردن مقاومت روشنی بهره برد. همان طور که پیش‌تر گزارش شد، پایه‌ی کنترل کننده‌ی LDO به منظور ایجاد فیدبک منفی، گیت ترانزیستور $pMOS$ است. معمولاً پایه بدنه‌ی ترانزیستور را به عنوان گیت دوم می‌شناسند. از این پایه معمولاً در تقویت کننده‌ها نیز به منظور پایه‌ی ورودی نیز استفاده می‌شود.



شکل ۴: آرایش LDO پیشنهادی با استفاده از راهکار تغذیه بدنه به منظور افزایش جریان خروجی و افزایش بهره حلقه

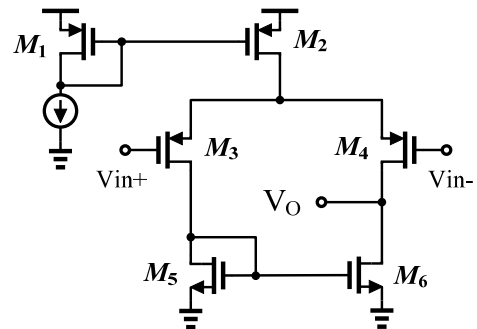
رگولاسیون

۱-۳ تحلیل اول

بهرتر است ابتدا منحنی شکل ۱۱ که تغییرات خروجی مدار شکل ۴ را به ازای تغییرات ورودی از $1/8V$ تا $1/82V$ نشان می‌دهد، در نظر بگیرید. مدار در نقطه‌ی $1/8$ ولت ورودی، خروجی $1/566$ ولت را تولید می‌کند و این در حالی است که ولتاژ مرجع 800 میلی ولت می‌باشد. علت انتخاب مرجع 800 میلی ولتی میزان تقسیم مقاومتی مقاومت‌های R_1 و R_2 می‌باشد. چون هدف گرفتن خروجی $1/6$ ولت است، از دو مقاومت همسان استفاده شده تا در گره‌ی میان دو مقاومت 800 میلی ولت افت کند. حال همانطور که دیده می‌شود، به ازای $1/8$ ولت، مقدار 800 میلی ولت میان دو مقاومت حاصل نمی‌شود. علت این موضوع به یک دلیل عمده وابسته است، که آن می‌تواند آفست DC آپ‌امپ باشد، که دقت مقایسه را تضعیف می‌کند. این موضوع آفست زمانی می‌تواند حادث شود که ترانزیستورهای ورودی در هنگام ساخت به صورت نامتقارن ساخته شوند (که در ساخت تراشه امری طبیعی است) و مدار در حالت ساخت دقتش از منحنی شکل ۱۰ نیز بدتر شود. بنابراین مدار باید طوری طراحی شود که آفست DC آپ‌امپ را بگونه‌ای حذف کند و یا به عبارتی دیگر، مدار LDO مستقل از ساختمان داخلی آپ‌امپ باشد. حال فرض شود اگر مرجع در نقطه‌ی $1/8$ ولت ورودی، که خروجی $1/566$ ولتی می‌دهد، قدری افزایش یابد، چه تاثیری حاصل می‌شود؟ این موضوع سبب می‌شود که مقایسه ولتاژ میان دو مقاومت با مرجع بزرگتری انجام گیرد تا باعث افزایش ولتاژ میان دو مقاومت گردد. بعبارتی دیگر به آپ‌امپ دستور داده می‌شود که مدار را با ولتاژ مرجع بزرگتری مقایسه کند. فرض شود در مدار شکل ۴، ولتاژ مرجع از مقدار 800 میلی ولت به مقدار $1/3$ ولت تغییر کند. هدف از تغییر ولتاژ مرجع، آن است که آیا به ازای این افزایش، خروجی افزایش می‌یابد و به مقدار $1/6$ ولت هدف در خروجی، نزدیک می‌شود یا خیر؟ پاسخ این سوال در منحنی شکل ۱۲ داده شده است که حاکی از افزایش ولتاژ خروجی به مقدار $1/586$ است. بنابراین می‌توان دید که تغییر مرجع می‌تواند به نزدیک شدن خروجی به ولتاژ هدف کمک کند.

تا به اینجای کار (شکل ۴) دو تقویت‌کننده همواره ولتاژ گره‌ی

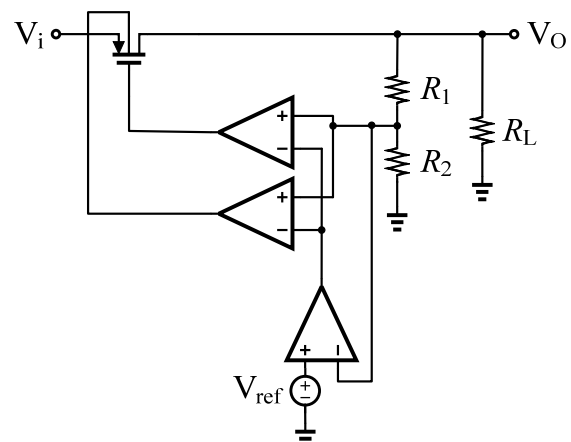
در شکل ۵ نشان داده شده است.



شکل ۵: آرایش مداری تقویت‌کننده‌ها در تقویت‌کننده خطای استفاده شده

۳- استفاده از مرجع ولتاژ متغیر

برای بهبود مدار شکل ۴، می‌توان از راهکار دیگری به انضمام راهکار بدنه استفاده کرد تا بسیاری از پارامترها بهبود یابند. نام این راهکار را می‌توان ولتاژ مرجع متغیر نامید. شمای مداری این راهکار در شکل ۶ نشان داده شده است. مدار ارائه شده نهایی را می‌توان از دو منظر تحلیل و بررسی کرد. اولین مورد از منظر اینکه ولتاژ مرجع بر اساس تغییر ولتاژ خروجی، تغییر می‌کند و دومین مورد از منظر اینکه مدار با اضافه شدن یک تقویت‌کننده دقتش در مقایسه چندین برابر شده است.

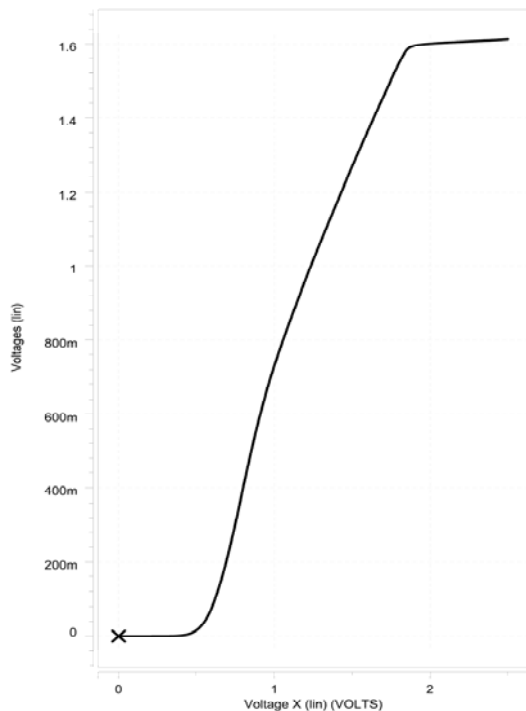


شکل ۶: مدار پیشنهاد شده نهایی

می‌باشد که همین موضوع باعث می‌شود، که تغییرات خروجی در شکل ۱۵ به ازای افت ولتاژ ۲۰۳ میلی‌ولتی تقریباً ۱ میلی‌ولت باشد. اگر از تغییرات منحنی شکل ۱۲ بیاد داشته باشید، با افزایش ولتاژ ورودی، خروجی در حال افزایش بود و این در حالی است که در مدار ارائه شده نهایی با افزایش ولتاژ خروجی مقدار ولتاژ مرجع به زیر ۸۰۰ میلی‌ولت افت می‌کند تا دقت لازم را فراهم سازد.

۲-۳ تحلیل دوم

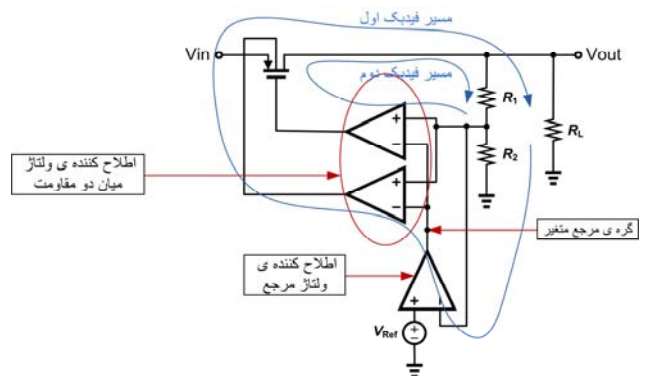
تحلیل این مدار از منظر افزایش دقت به ازای افزایش آپ امپ، بسیار ساده است. اگر فرض شود که دقت میان گره‌ی ولتاژ مرجع متغیر و گره‌ی میان دو مقاومت، ΔV باشد و با فرض اینکه بهره‌ی آپ امپ اصلاح‌کننده‌ی مرجع، A باشد، می‌توان گفت که اختلاف ولتاژ میان ولتاژ مرجع و گره میان دو مقاومت به مقدار $\frac{\Delta V}{A}$ می‌باشد (شکل ۸). در واقع می‌توان گفت که آپ امپ استفاده شده دقت آفست DC را A برابر کرده و میزان دقت بالطبع A برابر شده است.



شکل ۹: میزان افت ولتاژ بر روی PMOS (۱۲، ۲٪ خطا) در

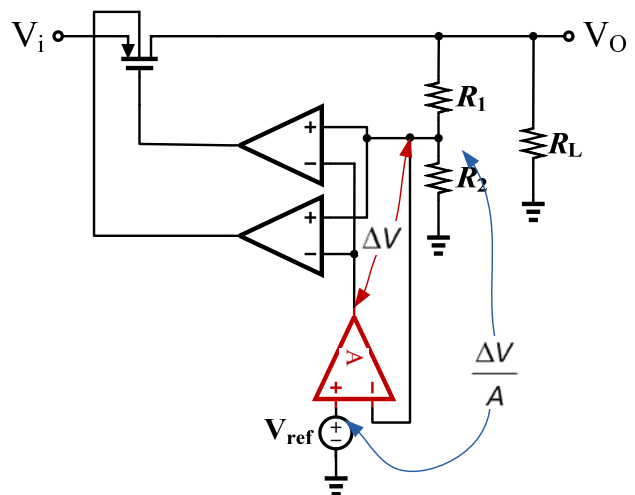
شبیه‌سازی مدار LDO شکل ۱

میان مقاومت‌ها را با یک ولتاژ مرجع مقایسه کرده و اثر آن را در خروجی اعمال می‌کردند. حال اگر یک تقویت‌کننده‌ی دیگر ولتاژ میان دو گره‌ی مقاومت را با یک ولتاژ مرجع مقایسه کند و جواب مقایسه را به پایه‌ی ولتاژ مرجع سابق اعمال کند، می‌توان یک منبع ولتاژ مرجع متغیر تولید کرد. همانطور که در شکل ۷ دیده می‌شود، وظیفه‌ی هر آپ امپ مشخص شده و دو مسیر فیدبکی که در این مدار



شکل ۷: تحلیلی بر راهکار ارائه شده نهایی بر اساس دیدگاه

تغییر مرجع

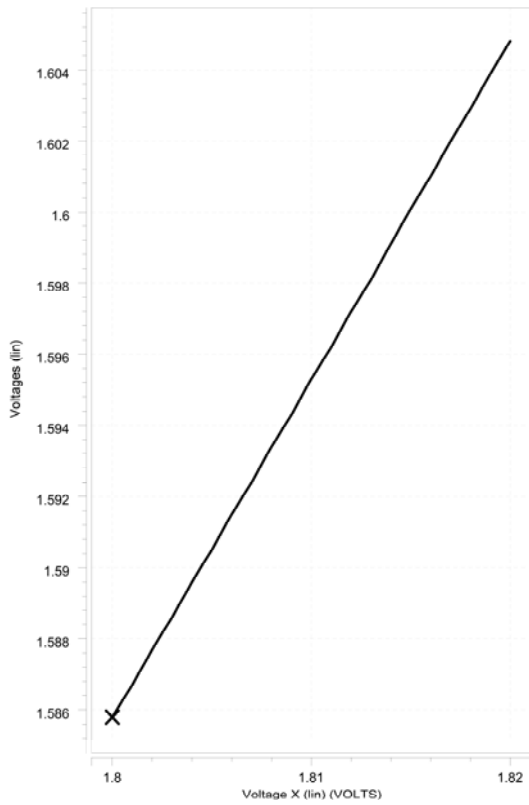


شکل ۸: تحلیل راهکار ارائه شده بر مبنای مرجع ولتاژ متغیر

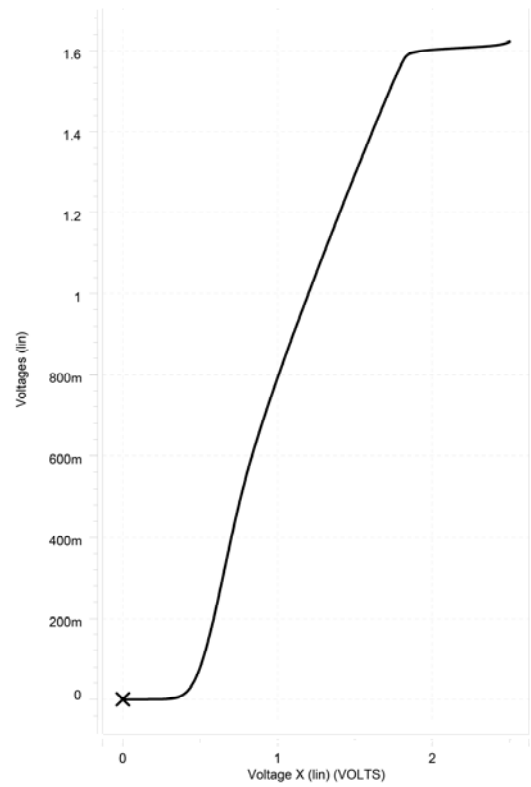
مکمل هم هستند، در شکل نشان داده شده است. تغییرات گره‌ی مرجع متغیر به ازای تغییر ورودی از $1/8V$ تا $2/5V$ ولت در شکل ۱۴ نمایش داده شده است.

همانطور که در شکل ۱۴ دیده می‌شود، ولتاژ گره‌ی مرجع متغیر، تغییراتی از ولتاژ $1/3$ ولت تا زیر ۸۰۰ میلی‌ولت را دارا

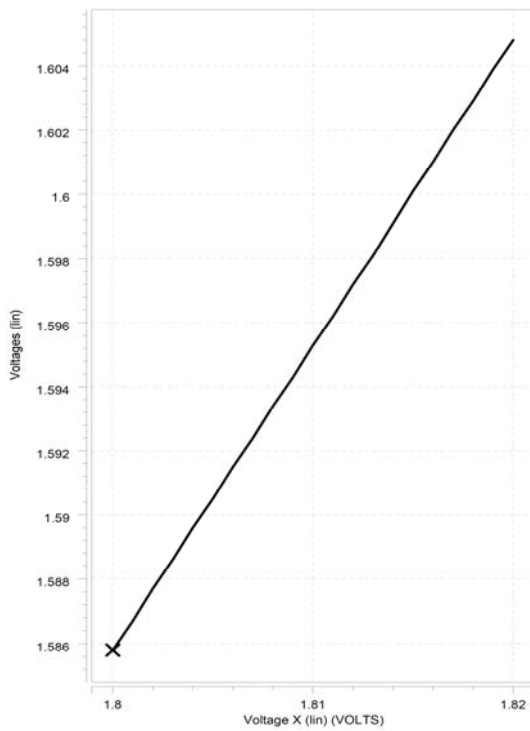
طراحی و پیاده سازی یک رگولاتور ولتاژ با افت کم و خروجی ...



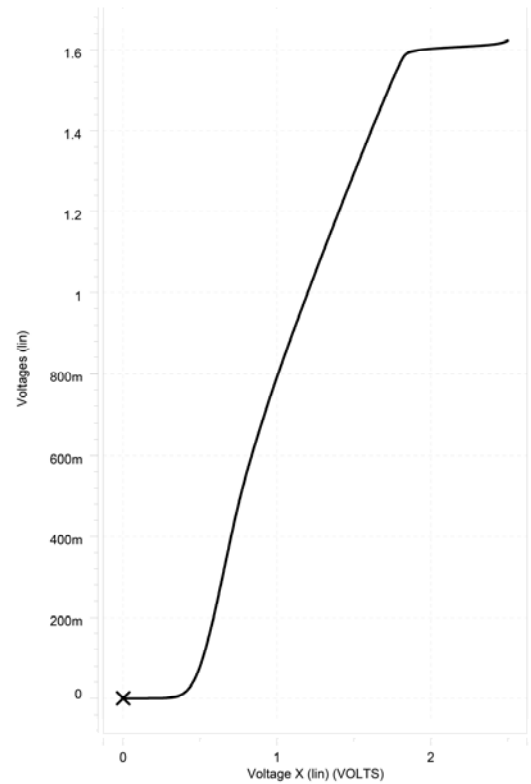
شکل ۱۲: تغییرات ورودی از $1/8V$ تا $1/82V$ در مدار شکل ۴ به ازای ولتاژ مرجع $1/37V$



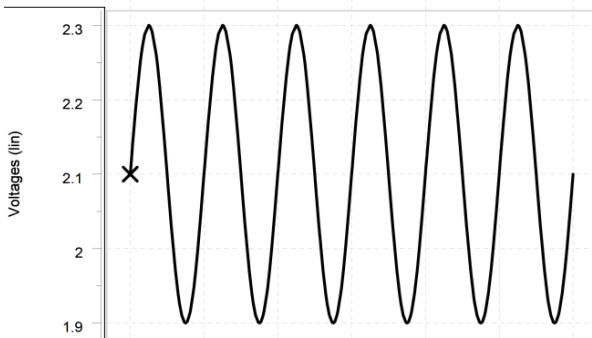
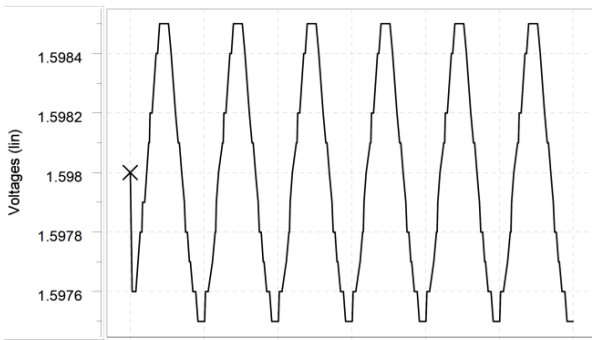
شکل ۱۰: میزان افت ولتاژ بر روی PMOS (۰.۸٪ خطا) در شبیه سازی مدار LDO شکل ۴



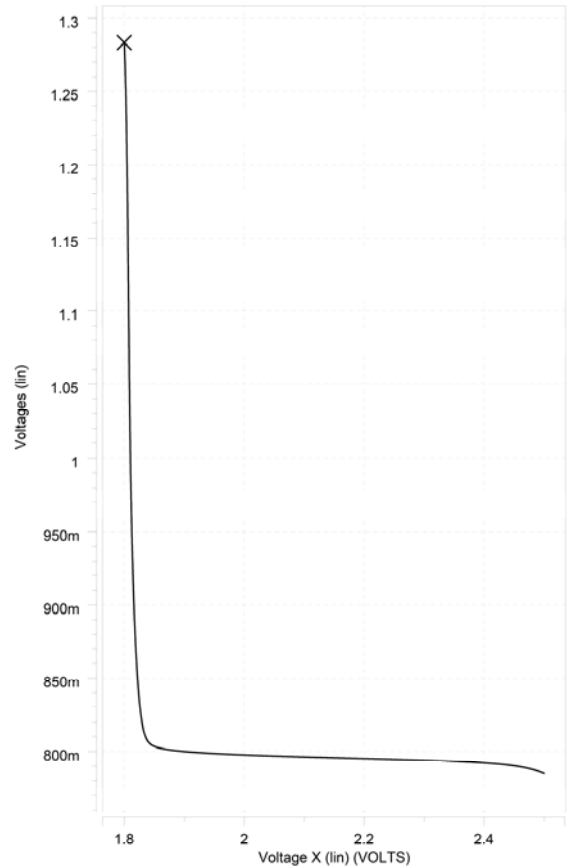
شکل ۱۳: افزایش خروجی به ازای افزایش ولتاژ مرجع



شکل ۱۱: تغییرات ورودی از $1/8V$ تا $1/82V$ در مدار شکل ۴ به ازای ولتاژ مرجع $0/8V$



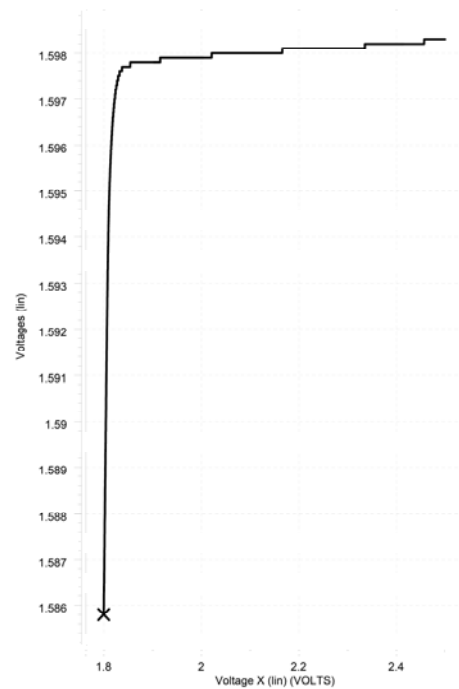
شکل ۱۶: بررسی میزان PSRR و یا به عبارتی اثر نویز ولتاژ ورودی به خروجی در فرکانس 1KHz برای مدار شکل ۶



شکل ۱۴: تغییرات ولتاژ گره مرجع متغیر

جدول ۱: اندازه عناصر در مدار شکل های ۱ و ۴

پارامترها	مقدار
R_1	500 K Ω
R_2	500 K Ω
R_L	20 K Ω
V_{in}	0.0-2.5 V
V_{ref}	800 mV
W/L (pMOS)	900 μm / 0.18 μm



شکل ۱۵: میزان تغییرات ۱ میلی ولت به ازای تغییرات خروجی

از ۱/۸۰۳۷ الی ۲/۵۷ در مدار شکل ۶ (۰,۰۳٪ خطا)

طراحی و پیاده سازی یک رگولاتور ولتاژ با افت کم و خروجی ...

است. همچنین به منظور بدست آوردن PSRR مدار شکل ۶ یک موج سینوسی با فرکانس ۱KHz با دامنه ی ۲۰۰ میلی ولت با آفست ۲/۱ ولت به مدار داده شده تا سطح تغییرات خروجی بررسی شود. نتایج این شکل موج اعمالی در شکل ۱۶ نشان داده شده است. همچنین نتایج بدست آمده در قیاس با مراجع دیگر در جدول ۲ بررسی شده است.

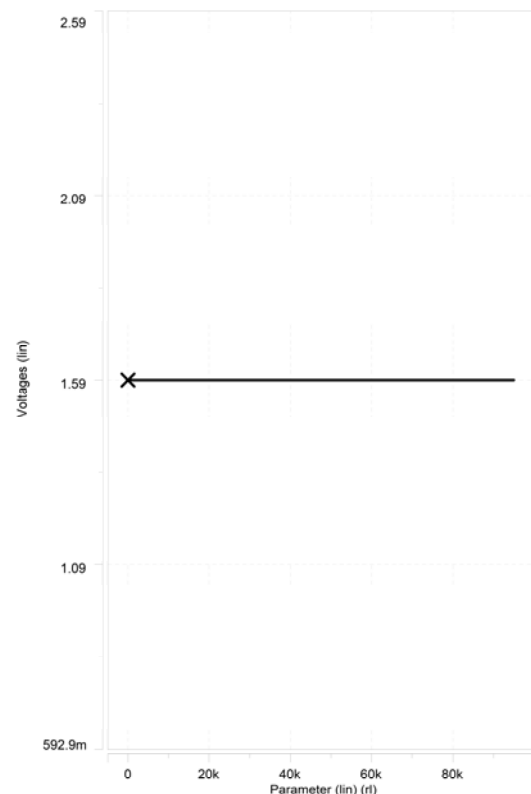
۵- نتیجه گیری

این مقاله نحوه طراحی و شبیه سازی یک رگولاتور ولتاژ با افت کم و با استفاده از دو راهکار تغذیه بدنه ترانزیستور عبور دهنده و استفاده از ولتاژ مرجع متغیر بررسی شده است. رگولاتور مورد نظر در فن آوری CMOS 180nm و با استفاده از نرم افزار Hspice شبیه سازی شده است. تغذیه بدنه ترانزیستور باعث افزایش ۱۳ درصدی مقاومت درین- سورس ترانزیستور عبوردهنده و استفاده از ولتاژ مرجع متغیر باعث کاهش تغییرات خروجی تا حد ۱ میلی ولت (به ازای تغییرات ولتاژ ورودی از ۱/۸ تا ۲/۵) گردیده است. لذا درصد تغییرات ولتاژ خروجی به تغییرات ولتاژ ورودی تنها برابر با ۰/۰۳٪ است. نسبت حذف ولتاژ تغذیه رگولاتور پیشنهادی در فرکانس های پایین و به ازای بار خازنی 100 pF و بار اهمی 20Ω، برابر با 46dB است. به ازای بار اهمی مورد نظر، جریان خروجی برابر با 80mA است.

از مزایای این طرح می توان به بهبود رگولاسیون خط اشاره کرد که تغییرات خروجی به کمتر از ۱ میلی ولت رسیده است، شایان ذکر است که اضافه شدن دو امپ نسبت به شکل ۱، قدری توان مصرفی را افزایش می دهد که بسیار ناچیز است.

مراجع

- [1] G. Hanington, P. Chen, P. Asbeck and L. Larson, "High- Efficiency Power Amplifier Using Dynamic Power-Supply Voltage for CDMA Applications," IEEE Trans. Microwave Theory Tech., vol. 74, pp. 1471-1476, Aug. 1999.
- [2] A. Saberhari, E. Alarcon, and Sh. B. Shokouhi, "Fast Transient Current-Steering CMOS LDO Regulator Based on Current



شکل ۱۷: اثر تغییرات بار بر روی خروجی

جدول ۲: مقایسه کارایی ساختار پیشنهادی با سایر مقالات

این طرح	[5]	[4]	[3]	[2]	[1]	مرجع
0.18	0.35	0.09	0.35	0.18	0.35	پروسه (μm)
1.8-2.5	2	1.4-4.2	3.5	1.2	N/A	V _{Line} (V)
1.6	1.8	1.21	2.8	1	N/A	V _{out} (V)
0.2	0.2	0.2	0.2	0.2	N/A	V _{DS} (V)
80	150	100	50	100	100	I _{max} (mA)
1	70	120	90	277	N/A	ΔV _{out} (mV)
0.03	3.5	9.9	2.5	27.7	N/A	ΔV _{out} /V _{out} (%)
46	50	90	60	40	40	PSRR (dB)

۴- نتایج شبیه سازی

نتایج شبیه سازی مدارهای شکل های ۱، ۴ و ۶ با توجه به توضیحات بخش قبل در شکل های ۹ الی ۱۵ نشان داده شده

- Feedback Amplifier,” Integration, the VLSI Journal (2012), DOI: 10.1016/vlsi.2012.02.001.
- [3] W. Oh, B. Bakkaloglu, “A CMOS Low-Dropout Regulator with Current-Mode Feedback Buffer Amplifier,” IEEE Trans. Circuits Syst. II, Vol. 54, No. 10, pp. 922-926, Oct. 2007.
- [4] G. Patounakis, Y. W. Li and K. Shepard, “A Fully Integrated On-Chip DC- DC Conversion and Power Management System,” IEEE J. Solid-State Circuits, Vol. 39, No. 3, pp. 443-451, Mar, 2004.
- [5] B. Razavi, Design of Analog CMOS Integrated Circuits, Boston, MA: McGraw Hill, 2001.