دوره نهم، شماره دوم، پاییز و زمستان ۱۳۹۵

مجله فناوری اطلاعات در طراحی مهندسی
Information Technology in Engineering Design
http://ited.sinaweb.net

مدار تمام مقایسه‌کننده جدید با حداقل تابع هزینه کوانتومی در فناوری آتوماتای سلولی نقطه کوانتومی (QCA)

داود بهره‌پور*[(۱)] نگین معروفی[(۲)]

(۱) گروه مهندسی کامپیوتر، واحد مشهد، دانشگاه آزاد اسلامی، مشهد، ایران*

(۲) دانشجوی کارشناسی ارشد مهندسی کامپیوتر نرم‌افزار، گروه مهندسی کامپیوتر، واحد علوم و تحقیقات خراسان رضوی، دانشگاه آزاد اسلامی، نیشابور، ایران

چکیده

در سال‌های اخیر کاهش ابعاد مدارهای CMOS با چالش‌های جدی همانند از دست رفتن و نشتی جریان و توان مصرفی بالا روبرو شده است؛ که در نتیجه آن نمی‌توان سایزهای کوچکی از این مدارها را داشته باشیم. آتوماتای سلولی نقطه کوانتومی، یکی از تکنولوژی‌های نوظهور در سطح نانو است که برای طراحی کامپیوترها و مدارهای VLSI در آینده نزدیک استفاده خواهد شد. تکنولوژی آتوماتای سلولی نقطه کوانتومی، امکان طراحی مدارهایی منطقی با توان کم، کارآیی بالا و حداقل اندازه را می‌دهد. در این مقاله یک مدار تمام مقایسه‌کننده به همراه یک تابع هزینه ارائه شده است. مدارات مقایسه‌کننده یکی از اجزا مهم در طراحی دیجیتال هستند و بطور گسترده در طراحی واحد پردازش مرکزی (CPU) مورد استفاده قرار می‌گیرند. تابع هزینه کمک می‌کند تا طراحی ارائه شده با طراحی‌های قبلی از نظر مساحت اشغالی و تاخیر، بررسی و مورد مقایسه قرار می‌گیرد. مقایسه‌ها نشان می‌دهند طراحی ارائه شده از نظر مساحت و تاخیر نسبت به موارد قبل بهبود داشته است.

واژه‌های کلیدی: آتوماتای سلولی نقطه کوانتومی، تمام مقایسه‌کننده، تابع هزینه، سلول QCA، گیت اکثریت، گیت NOT

عهده دار مکاتبات

نشانی: گروه مهندسی کامپیوتر، واحد مشهد، دانشگاه آزاد اسلامی، مشهد، ایران

تلفن: ۰۹۱۵۳۱٤٥۲۰۳ **پست الکترونیکی:** bahrepour@ieee.org

۱- مقدمه

در سال‌های اخیر تکنولوژی‌های CMOS، توان مصرفی بالا و نشت جریان زیادی داشته است. همانطور که می‌دانیم کوچک‌سازی مدارات CMOS با مشکلات خاص خود از قبیل بروز پدیده‌های فیزیکی گوناگون، جرم خاص عنصر و اثرات کوانتومی که در صورت مختل نکردن عملکرد ترانزیستور، حداقل باعث ایجاد اشکال در روند درست عملکرد آن خواهد شد، همراه است [۱]؛ در نتیجه به دنبال تکنولوژی‌هایی با اندازه کوچک‌تر، توان کمتر و هدرروی جریان کمتر هستیم [۲].

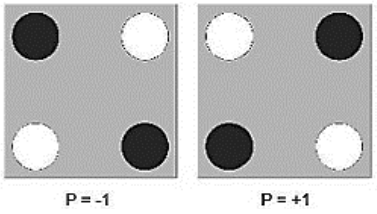
تکنولوژی آتوماتای سلولی نقطه کوانتومی (Quantum-dot Cellular Automata)، در سطح نانو عمل می‌کند. در سال‌های اخیر، QCA جزو شش تکنولوژی نوظهور به حساب آمده و همچنین کارآیی بسیار بالاتری از خود نشان داده است. اگرچه ساخت مدارات در تکنولوژی QCA در مقایسه با CMOS از چالش‌های فراوان‌تری برخوردار است، اما ساختار و طبیعت ساده مدارات QCA محققان را به پژوهش بیشتر در شیوه‌های پیاده‌سازی این مدارات وامی‌دارد [۳].

۲- مرور ادبیات

در این بخش، ابتدا مروری مختصر بر ساختار سلول QCA، ساختار سیم در این تکنولوژی، و مفهوم clock در QCA خواهیم داشت. سپس گیت‌های Not و گیت اکثریت (Majority) سه ورودی و پنج ورودی در تکنولوژی QCA معرفی می‌شوند.

ساختار سلول QCA

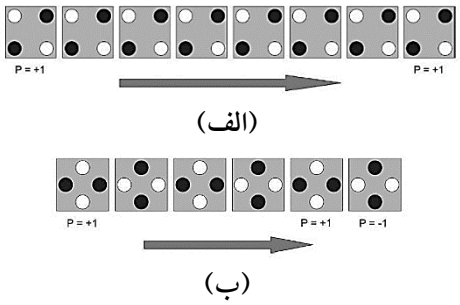
در تکنولوژی QCA، هر سلول QCA از ٤ حفره و ۲ الکترون اضافی تشکیل شده است، که این دو الکترون می‌توانند آزادانه بین حفره‌ها حرکت کنند. برای قرار گرفتن دو الکترون در ٤حفره، ٦ حالت ممکن خواهیم داشت، اما همه این ٦ حالت پایدار نیستند. علت این امر وجود نیروی دافعه کولمبی (جاذبه و دافعه الکترواستاتیک) بین الکترون‌هاست که باعث می‌شود آن‌ها در دورترین فاصله از یکدیگر قرار گیرند. با توجه به توضیحات بیان شده در جملات قبل مشخص می‌شود که حالت‌های پایدار زمانی هستند که الکترون‌ها به‌صورت قطری حفره‌ها را اشغال کنند که به این دو حالت، قطبش سلولی می‌گویند. این دو حالت همان‌طور که در شکل ۱ نمایش داده شده، دو قطب ۱+ و ۱- را نشان می‌دهند که به ترتیب مقادیر منطقی یک و صفر به آن‌ها نسبت داده می‌شود [۱،۲،٤].



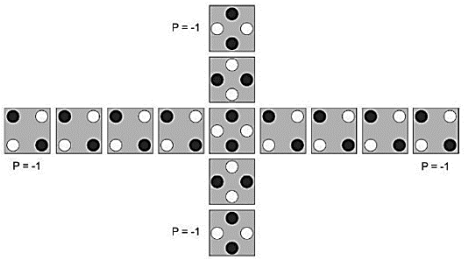
شکل ۱- نمایش دو حالت پایدار سلول پایه در QCA. سمت راست یک منطقی و سمت چپ صفر منطقی

ساختار سیم در تکنولوژی QCA

نیروی دافعه کولمبی تنها بین الکترون‌های یک سلول نیست، بلکه هر سلول بر سلول‌های مجاور خود نیز تاثیر می‌گذارد. تفاوت در این است که زمانی که دو سلول در کنار هم قرار می‌گیرند، همواره در وضعیتی قرار می‌گیرند که نیروی دافعه کولمبی به حداقل برسد. از یک آرایه سلول‌های کنارهم می‌توان مانند یک سیم برای انتشار اطلاعات استفاده کرد. دو مدل متفاوت از سیم‌های QCA در شکل ۲ نمایش داده شده‌اند. در مدل دوم که زنجیره متمم نام دارد، سلول‌ها ٤٥ درجه چرخیده شده و سیگنال ورودی در سلول‌های فرد و متمم آن در سلول‌های زوج انتشار می‌یابد. از قرار گرفتن این دو مدل سیم بر روی یکدیگر، مدل سیم همسطح (Crossing Wire) حاصل می‌شود که در شکل ۳ نشان داده شده است. در مدل سیم همسطح، باتوجه به تفاوت قطب سلول‌ها، دو سیم بر روی هم هیچ تاثیری نمی‌گذارند [۱،٥].



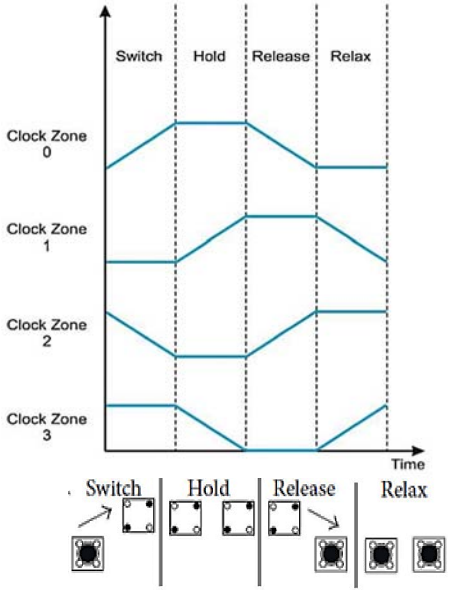
شکل ۲- (الف) سیم استاندارد QCA (ب) سیم متمم QCA



شکل ۳- مدل سیم همسطح عبور داده شده

کلاک در QCA

ویژگی‌های ساختاری QCA باعث می‌شود که کلاک به صورت عامل الکترونیکی جهت کنترل حرکت الکترون‌ها داخل سلول‌ها عمل کند. وجود کلاک باعث ایجاد همزمانی در بخش‌های مختلف مدار می‌شود. در واقع نحوه کنترل آن به این صورت است که اگر اطلاعاتی به قسمتی از مدار برسد که باید با چند ورودی دیگر ترکیب شده و خروجی مطلوب را تولید کند، در صورتی که ورودی‌های دیگر دیرتر به آن قسمت از مدار برسند، از انتشار اطلاعات در آن قسمت تا رسیدن ورودی‌های دیگر جلوگیری می‌کند [۱،۲]. در این تکنولوژی، هر سیکل کلاک چهار فاز دارد که در شکل ٤ مشخص شده‌اند: جابجایی (Switch)، نگهداری (Hold)، رهایی (Release) و آسایش (Relax). در فاز جابجایی، قطبش سلولی تحت تاثیر سلول‌های کنارهم می‌باشد. در فاز نگهداری، سلول‌ها در حالت قطبش بوده و الکترون‌ها در بیشترین فاصله از یکدیگر قرار دارند. در این فاز سلول‌ها قادر به تشخیص قطبیت سلول‌های مجاوری هستند که در فاز جابجایی می‌باشند. در فاز رهایی، الکترون‌ها کم‌کم آزاد شده و نیروی مانع‌شونده کاهش می‌یابد. در فاز آرامش هیچ قطبیتی نداشته و الکترون‌ها کاملاً آزادانه در داخل سلول حرکت می‌کنند[۱،٤،٥]. یکی از موارد مهم در طراحی کلاک‌ها، تنظیم نواحی چهارگانه است. به اینصورت که هرگونه تقسیم‌بندی نادرست مناطق کلاک، باعث بروز خطا در عملکرد مدار خواهد شد. همزمانی اعمال ورودی‌ها، طول سیم، و تعداد سلول‌ها در هر فاز از جمله مواردی است که باید بدان توجه کرد. در واقع در طراحی ساختاری QCA، باید به کنترل جریان داده توجه داشت، که این امر با افزایش تعداد سلول‌ها در هر ناحیه کلاک حاصل می‌شود. برای جلوگیری از ایجاد نویز، حداقل تعداد سلول‌ها در هر ناحیه کلاک باید دو باشد. همچنین افزایش تعداد سلول‌ها در هر فاز کلاک نباید از حد معینی بیشتر شود، زیرا با افزایش تعداد سلول‌ها در هر فاز، نه تنها فرکانس کلاک کاهش می‌یابد بلکه به دلیل محدود بودن انرژی لازم جهت پلاریته شدن سلول‌ها، برخی از آن‌ها ممکن است وضعیت نامشخص به خود بگیرند [۱،۲،٤].

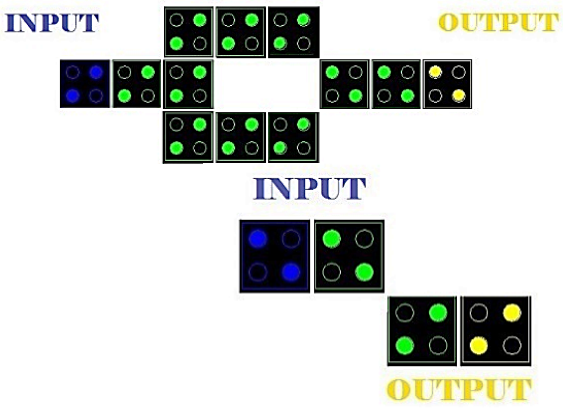


شکل ٤- نواحی کلاک در QCA

گیت NOT

همان‌طور که در شکل ٥ نمایش داده شده است، سیگنال از سمت چپ وارد شده و به دو سیم QCA تقسیم می‌شود، و در نهایت باهم ادغام می‌شوند. متمم سیگنال ورودی در

لحظه ادغام محاسبه شده و به سمت راست انتشار می‌یابد [۵]. در واقع در این ساختار، به دلیل وجود نیروهای کلومبی در دو شاخه مدار، حالت پایدار خروجی، مکمل ورودی خواهد بود تا الکترون‌ها بتوانند بیشترین فاصله را از هم داشته باشند [۱،۵،٦].



شکل(۵) : گیت NOT در QCA

گیت اکثریت

این گیت، یکی از ساختارهای پایه در QCA می‌باشد، چراکه به علت قابلیت برنامه‌ریزی، می‌توان از آن برای ساخت ساختارهای متفاوت بهره برد. همان‌طور که در شکل ٦ مشاهده می‌شود، گیت اکثریت سه ورودی، دارای سه ورودی، یک خروجی و سلول کاری می‌باشد. سلول کاری با توجه به قطبیت اکثریت و به علت دافعه الکترونی بین سه سلول ورودی قطبی می‌شود. تابع منطقی این گیت در رابطه (۱) مشخص شده است [۱].

(۱)

$$M\ (A,B,C) = AB + AC + BC$$

با توجه به تابع منطقی گیت اکثریت، اگر سلول ورودی C، مقدار ثابت ۱- یعنی صفر منطقی را بگیرد، همان‌طور که در رابطه (۲) می‌بینیم، تابع به‌صورت AND دو ورودی در خواهد آمد [۱].

(۲)

$$M(A,B,0) = AB + (A)(0) + (B)(0) = AB$$

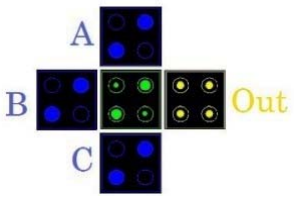
حال اگر ورودی C، مقدار ۱+ به معنی یک منطقی را بگیرد، با توجه به رابطه (۳)، تابع به صورت OR دو ورودی خواهد شد[۱].

(۳)

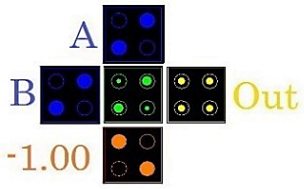
$$M(A,B,1) = AB + (A)(1) + (B)(1) = A + B$$

همان‌طور که پیش از این بیان شد، هر مدار QCA، توسط مکانیزم کلاک کنترل می‌شود. همزمانی گیت اکثریت زمانی حاصل می‌شود که تمامی سیگنال‌های ورودی در یک ناحیه کلاک یکسان به گیت اعمال شوند، به‌طوریکه سلول‌های میانی (سلول‌های کاری) در ناحیه کلاک بعدی و سلول خروجی در ناحیه کلاک بعدی سلول‌های میانی باشد [۲،۵].

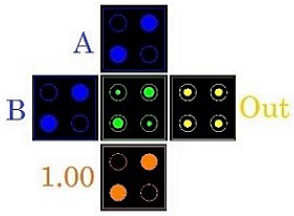
گیت اکثریت ۳ ورودی در شکل ٦ نشان داده شده است. در این طراحی در صورتی که ورودی C، پولاریزاسیون ثابت ۱- برابر با منطق صفر قرار داده شود، گیت AND دو ورودی خواهیم داشت و با قرار دادن پولاریزاسیون ثابت ۱ برابر با منطق ۱، گیت OR دو ورودی حاصل خواهد شد [۱و۲] .



(الف)



(ب)



(ج)

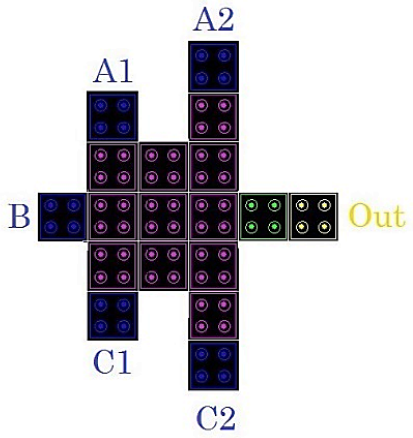
شکل ٦- (الف) گیت اکثریت سه ورودی QCA (ب) گیت AND دو ورودی (ج) گیت OR دو ورودی

در تمام مقایسه‌کننده‌های مورد بررسی دو طراحی متفاوت از گیت اکثریت ۵ ورودی مورد استفاده قرار گرفته است. رابطه (۷) گیت اکثریت پنج ورودی را نمایش می‌دهد [۱،۷].

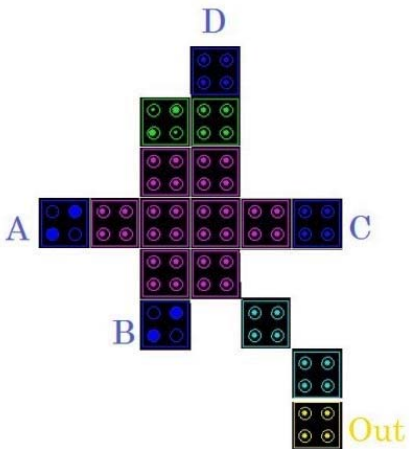
(۷)

$$M(A,B,C,D,E) = ABC + ABD + ABE + ACD + ACE + ADE + BCD + BCE + BDE + CDE$$

هر دو طراحی گیت اکثریت پنج ورودی در شکل ۷ نمایش داده شده‌اند [۶و۸].



(الف)



(ب)

شکل ۷- (الف) گیت اکثریت پنج ورودی QCA در [۸] (ب) گیت اکثریت پنج ورودی QCA در [۶،۹]

همانطور که در شکل ۷ (ب) مشاهده می‌شود، A، B، C و D ورودی‌های گیت می‌باشند. در این نوع از گیت اکثریت ورودی D به عنوان دو ورودی مشابه عمل می‌کند. در واقع دو ورودی به یکدیگر متصل شده و به عنوان ورودی D نامیده شده‌اند. این گیت اکثریت از ۱۷ سلول تشکیل شده است [۶،۹].

ساختار مقایسه‌کننده‌ها

عملگر مقایسه، یکی از پایه‌ای ترین عملیات محاسباتی یعنی عمل مقایسه را انجام می‌دهد. این عملگر مشخص می‌کند که یک عدد نسبت به عدد دیگر در چه وضعیتی قرار دارد، بزرگتر، کوچکتر و یا مساوی با یکدیگر هستند. توابع منطقی یک نیم مقایسه‌کننده در رابطه (۵) مشخص شده‌اند. در این توابع A و B ورودی‌ها و $F_{A>B}$، $F_{A<B}$ و $F_{A=B}$ خروجی‌ها هستند [۶].

(۵)

$$F_{A>B} = A\bar{B}$$
$$F_{A<B} = \bar{A}B$$
$$F_{A=B} = \overline{F_{A>B}} \cdot \overline{F_{A<B}}$$

در تمام مقایسه‌کننده، ورودی سومی نیز اضافه می‌شود که در هر مرحله، نتایج مقایسه مرحله قبل را در خود نگه می‌دارد. توابع تمام مقایسه‌کننده در رابطه (۶) بیان شده‌اند. در توابع مشخص است که با قرار دادن ورودی C با مقدار ثابت ۱، یک تمام مقایسه‌کننده می‌تواند به شکل یک نیم مقایسه‌کننده عمل کند [۶].

(۶)

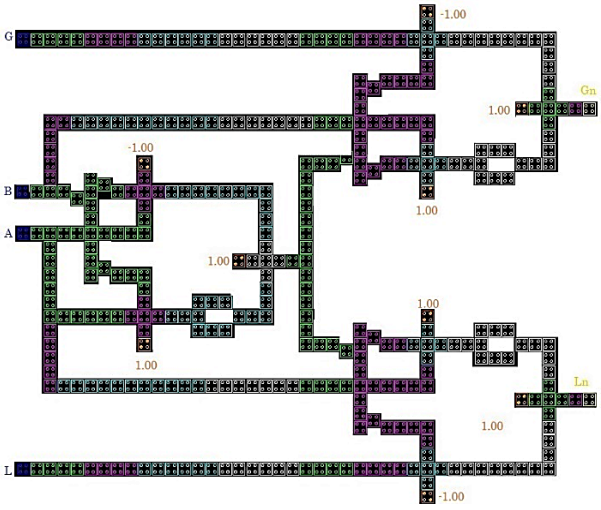
$$F_{A>B} = A\bar{B}$$
$$F_{A<B} = \bar{A}BC$$
$$F_{A=B} = \overline{F_{A>B}} \cdot \overline{F_{A<B}}$$

مقایسه‌کننده‌ها یکی از مهم‌ترین عناصر مدارات منطق دیجیتال هستند و بطور گسترده در CPU و میکروکنترلرها مورد استفاده قرار می‌گیرند، بنابراین هرگونه پیشرفت در ساخت این مدارات باعث بهینه شدن عملکرد CPU خواهد شد [۶،۷].

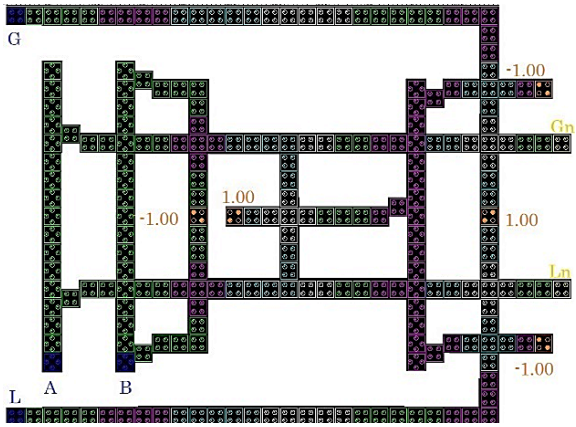
تمام مقایسه‌کننده نشان داده شده در شکل ۸، در سال ۲۰۰۸ و توسط Y. Xia و K.Qiu پیشنهاد داده شد. در این طراحی از یک گیت منطقی عمومی (Universal Logic Gate) برای ساخت تمام مقایسه‌کننده استفاده شده است. یک مدار ULG.n قادر است هر تابع n ورودی را بسازد

[۸].

این طراحی جدید با استفاده از ULG، در مقایسه با طراحی‌های قدیمی‌تر تمام مقایسه‌کننده‌ها که با استفاده از گیت‌های اکثریت و گیت‌های Not پیاده‌سازی می‌شدند (Majority Invertor) و در شکل ۹ نشان داده شده، کارآیی بهتری داشت [۹].



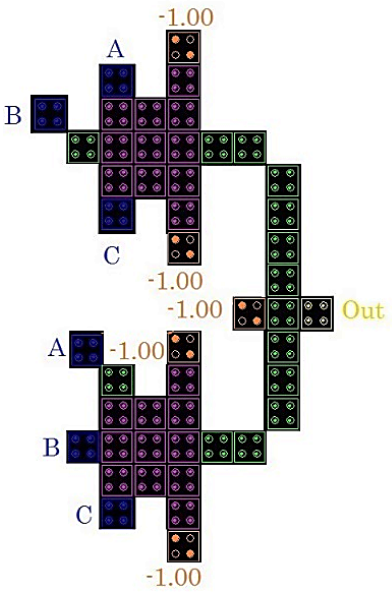
شکل۸- طراحی تمام‌مقایسه‌کننده در QCA با استفاده ازULG [۸]



شکل ۹- طراحی تمام مقایسه‌کننده در QCA با استفاده از MI [۸]

همانطور که در شکل‌های ۸ و ۹ ملاحظه شد، در طراحی با استفاده از ULG، در عین افزایش تعداد سلول‌ها، تعداد سیم‌های همسطح کمتری نسبت به طراحی مقایسه کننده با استفاده از MI مورد استفاده قرار گرفته شده بود و در نتیجه آن کارآیی مدار بهتر شده بود [۸].

در سال ۲۰۱٤، S. S. Anuradha et. Al طراحی جدیدی از تمام مقایسه‌کننده ارائه دادند. در [۷]، طراحی جدیدی از یک گیت اکثریت مطرح شد که نسبت به سایر گیت‌های اکثریت پنج ورودی، از تحمل خطای بالاتری برخوردار بود. این گیت در شکل ۷ و در بخش ۲-۵ نمایش داده شده است. با استفاده از این گیت اکثریت، طراحی جدیدی از مدار تمام مقایسه‌کننده ارائه شد که در شکل ۱۰ نشان داده شده است [۷].



شکل ۱۰- طراحی تمام مقایسه‌کننده در QCA با استفاده از گیت اکثریت پنج ورودی شکل ۷-(الف) [۷]

همانطور که در شکل ۱۰ ملاحظه شد، در طراحی این تمام مقایسه‌کننده از دو گیت اکثریت پنج ورودی و یک گیت اکثریت سه ورودی استفاده شده است. در این تمام مقایسه‌کننده کاهش قابل توجهی از نظر پیچیدگی و تعداد سلول‌ها نسبت به نمونه‌های پیشین در [۸]، مشاهده می‌شود [۷].

در سال ۲۰۱٤، Perri et. Al راه‌حل جدیدی برای طراحی تمام مقایسه‌کننده‌های چند بیتی ارائه نمودند. آن‌ها با استفاده از معماری آبشاری (Cascade Based)، تمام مقایسه‌کننده‌ای ارائه نمودند که برای ورودی‌های ۲-بیتی تا ۳۲-بیتی عملیات درستی انجام می‌داد. نکته مهم در این

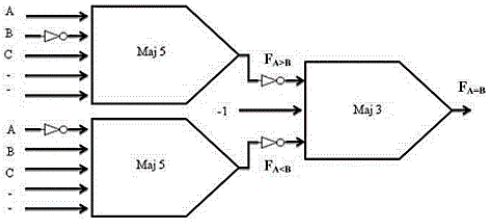
روش انجام عمل مقایسه برای ورودی‌های با تعداد بیش از یک بیت بود. اما این شیوه برای انجام مقایسه یک بیت با یک بیت عمل نمی‌کرد. در عین حال این طراحی به علت افزایش تعداد بیت‌های ورودی، تعداد سلول‌ها بیشتر داشته، مساحت اشغالی مدار افزایش یافته و برای دریافت خروجی شاهد تاخیر بیشتری نیز بود [۱۰].

همچنین آن‌ها بر اساس معماری درختی (Tree Based) نوع دیگری از تمام مقایسه‌کننده‌ها را ارائه نمودند. اما این راه‌حل نیز همانند شیوه آبشاری قادر به عمل برای مقایسه ۱-بیتی نبود و تنها برای ۱۶ بیت و ۳۲ بیت عملکرد مطلوب ارائه می‌داد. بنابراین این طراحی نیز به علت افزایش تعداد بیت‌های ورودی، شامل تعداد سلول‌ها بیشتری شده، مساحت کلی بیشتری را اشغال کرده و دریافت خروجی با تاخیر بیشتری همراه بود [۱۰].

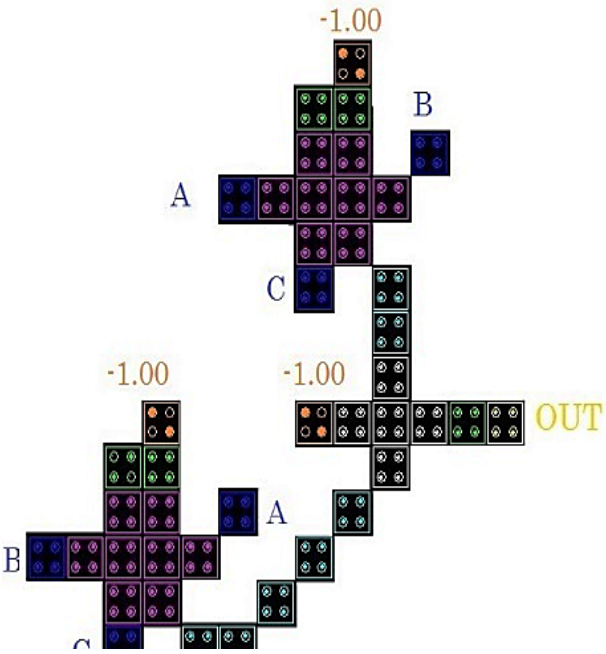
در مرجع [۱۱] مدار تمام مقایسه‌کننده‌ای معرفی شده است. این مدار با استفاده از منطق برگشت‌پذیر طراحی شده است. در طراحی این تمام مقایسه‌کننده از گیت TR (Thapliyal Ranganathan) استفاده شده که یک گیت برگشت‌پذیر است و از عملیات نیم تفریق‌کننده و تمام تفریق‌کننده برای انجام مقایسه استفاده می‌کند [۱۱] .

معرفی یک مدار تمام مقایسه‌کننده

همانطور که پیش از این ذکر شد عمل مقایسه یکی از مهم‌ترین اعمال محاسباتی محسوب می‌شود. در این بخش یک تمام مقایسه‌کننده معرفی می‌شود که در شکل ۱۱ نشان داده شده است [۶].



(الف)

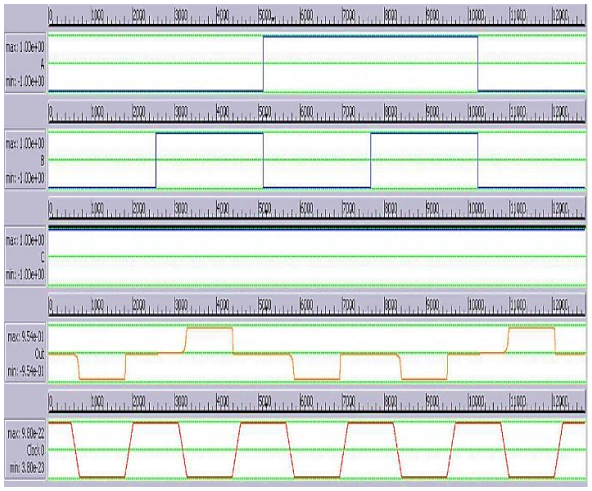


(ب)

شکل ۱۱- (الف) شماتیک (ب) طراحی

تمام مقایسه‌کننده در QCA با استفاده از گیت اکثریت پنج ورودی شکل۷-(ب) [۶] همانطور که در شکل ۱۱ ملاحظه شد، در طراحی این مقایسه‌کننده از دو گیت اکثریت ۵ ورودی و یک گیت اکثریت ۳ ورودی استفاده شده است؛ که در آن A و B ورودی‌ها و C نتیجه مقایسه مرحله قبل می‌باشد و خروجی یکی از سه حالت $F_{A>B}$، $F_{A<B}$ و $F_{A=B}$ می‌باشد. واضح است که در این مدار، اگر ورودی C را برابر با مقدار ثابت ۱ قرار دهیم، یک نیم مقایسه‌کننده خواهیم داشت. این مدار خروجی‌های $F_{A>B}$ و $F_{A<B}$ را بطور همزمان و خروجی $F_{A=B}$ را ۰/۲۵ کلاک بعدتر تولید می‌کند [۶].

نتایج شبیه‌سازی مقایسه‌کننده معرفی شده در شکل ۱۲ نمایش داده شده است.



شکل ۱۲- شبیه‌سازی تمام مقایسه‌کننده معرفی شده با استفاده از QCADesigner

همانگونه که در شبیه‌سازی دیده می‌شود، سه سیگنال اول، ورودی‌ها را مشخص می‌کنند و آخرین سیگنال نشان‌دهنده کلاک صفر است. سیگنال چهارم خروجی مدار است. مشخص است که تاخیر این تمام مقایسه‌کننده برابر با ۱/۲۵ چرخه کلاک است. در واقع این مقایسه‌کننده از تعداد سلول‌های کمتری نسبت به سایر طراحی‌ها برخوردار بوده و تاخیر زمانی کمتری نیز دارد [٦].

بررسی تمام مقایسه‌کننده‌ها با استفاده از تابع هزینه

در این بخش ابتدا تابع هزینه مناسب با تکنولوژی آتوماتای کوانتومی سلولی نقطه‌ای معرفی شده و سپس با استفاده از آن هزینه هریک از طراحی‌های تمام مقایسه‌کننده‌ها محاسبه می‌شود.

در [۱۲] و [۱۳]، تابعی برای محاسبه هزینه و کیفیت یک مدار QCA معرفی شده است. این تابع نشان می‌دهد که در یک مدار QCA، مساحت اشغال شده توسط مدار در ارزیابی طراحی‌ها نقش دارد. یکی از برتری‌های این تکنولوژی نسبت به تکنولوژی‌های پیشین، کوچک‌تر شدن مدارات است. کوچک‌تر شدن طراحی باعث ساده‌تر شدن مدار و کمتر شدن تعداد سلول‌ها خواهد شد. با توجه به تعداد سلول‌های استفاده شده در یک مدار QCA، پیچیدگی مدار معرفی می‌شود. هرچه تعداد سلول‌های مورد استفاده در مدار بیشتر باشد، نحوه پولاریزاسیون هر سلول به تعداد بیشتری از سلول‌ها وابسته می‌شود. ضمن آنکه تعداد بیشتر سلول‌ها در بیشتر مواقع باعث استفاده بیشتر از سیم‌های همسطح و چند لایه شدن طراحی خواهد شد. تمامی موارد ذکر شده باعث پیچیدگی بیشتر مدارات طراحی شده و در نتیجه مساحت اشغالی بیشتر خواهد شد. تابع هزینه دارای رابطه مستقیم با مساحت مدار می‌باشد [۱۲-۱٤].

توان، پارامتر دیگری است که در ارزیابی مدارات QCA مورد استفاده قرار می‌گیرد. توان پایین‌تر، به معنای اتلاف انرژی کمتر خواهد بود و در نتیجه می‌توان ادعا کرد طراحی بهتری ارائه شده است. بنابراین توان نیز دارای رابطه‌ای مستقیم با تابع هزینه می‌باشد [۱۲-۱٤].

پارامتر دیگری که در ارزیابی مدارات مورد توجه قرار گرفته می‌شود، تاخیر مدار است. تاخیر در مدار به معنای مدت زمانی است که از زمان ارسال اولین ورودی طول می‌کشد تا خروجی دیده شود. تاخیر مدار به نوعی با پیچیدگی مدار در ارتباط است. هرچه مسیر ورودی به خروجی درگیر تعداد بیشتری از سلول‌ها باشد، تاخیر مدار نیز بیشتر خواهد بود. تاخیر کمتر، نشان‌دهنده طراحی بهتر است که نمایانگر رابطه مستقیم با تابع هزینه است [۱۲-۱٤].

با توجه به توضیحات داده شده، تابع هزینه به صورتی که در رابطه (۷) می‌بینیم، خواهد بود[۱۲] :

(۷)

$$Cost = Area \times Delay \times Power$$

[۱۲] بیان می‌کند که توان با پیچیدگی رابطه‌ای مستقیم و همنهشت دارد.

(۸)

$$Power \equiv Complexity$$

در واقع می‌توان گفت که اتلاف انرژی در هر سلول تقریبا با سایر سلول‌ها برابر است، بنابراین می‌توان به جای میزان اتلاف انرژی در هر سلول که مقداری نسبتا یکسان برای همه سلول‌ها دارد، تنها تعداد سلول‌ها را در نظر گرفت.

پس با توجه به موارد فوق و رابطه (۸) در ادامه تابع هزینه به شکلی که در رابطه (۹) آمده، محاسبه شده است [۱۲] .

(۹)

$$Cost = Area \times Delay \times Complexity$$

تمامی مقایسه‌کننده‌ها با شبیه‌ساز QCADesigner v2.0.2 شبیه‌سازی شده‌اند. در شبیه‌سازی از bistable engine استفاده شده و مقادیر تنظیم شده در جدول ۱ مشخص شده است. طراحی ارائه شده در [۱۱] به علت استفاده از منطق و گیت‌های برگشت‌پذیر قابل مقایسه نمی‌باشد؛ چرا که تابع هزینه در مدارات برگشت‌پذیر به تعداد گیت‌های برگشت‌پذیر استفاده شده در طراحی مدار وابسته است [۱۳]. همچنین هر دو طراحی ارائه شده در [۱۰] نیز به علت قابل اجرا نبودن برای عمل مقایسه ۱-بیت با ۱-بیت، امکان بررسی و مقایسه با سایر طراحی‌ها را ندارد. نتایج بدست آمده از شبیه‌سازی‌های سایر تمام مقایسه‌کننده‌های هر یک از طراحی‌های پیشنهادی در [۸] و [۷] بررسی شده در بخش ۳ و طراحی معرفی شده در بخش ٤، در جدول ۲ آورده شده است و در نهایت تابع هزینه بر اساس رابطه (۹) برای هر یک از طراحی‌ها محاسبه شده است.

جدول ۱- مقادیر تنظیم شده در شبیه‌سازی با bistable engine

تعداد نمونه‌ها	۱۲۸۰۰
تحمل همگرایی	۰/۰۰۱
شعاع تاثیرگذاری (nm)	٦٥
نفوذپذیری الکتریکی نسبی	۱۲/۹
کلاک بالا	-۲۲e۹/۸
کلاک پایین	-۲۳e۳/۸
تغییر کلاک	-۰۰e۰/۰۰
فاکتور دامنه کلاک	۲
جداکننده لایه‌ها	۱۱/٥
حداکثر تکرار در هر نمونه	۱۰۰
سایز هر سلول (nm)	۱۸×۱۸
فاصله سلول (nm)	۲
قطر هر حفره کوانتومی (nm)	٥

جدول ۲- مقایسه طراحی‌های پیشنهادی در [۷،۸] و طراحی معرفی شده در بخش ٤

هزینه	تاخیر (Clock Cycle)	پیچیدگی (تعداد سلول‌ها)	مساحت اشغالی (µm2)	طراحی پیشنهادی
٥۱٦/۲٦۲٥	۲/۲٥	۳٥۳	۰/٦٥	[۸] با ULG
۱۲۸/۷٦	۲	۲۲۲	۰/۲۹	[۸] با MI
٥/٤	۱/۲٥	٤۸	۰/۰۹	[۷] با استفاده از گیت اکثریت ٥ ورودی
٤/۳	۱/۲٥	٤۳	۰/۰۸	مقایسه‌کننده معرفی شده

همانطور که نتایج محاسبه تابع هزینه در جدول ۲ نشان می‌دهد، هر یک از پارامترهای تابع هزینه در هزینه کلی تاثیرگذار می‌باشند، اما نکته مهم در ایجاد مصالحه‌ای بین این پارامترهاست. با نگاه به تفاوت زیاد مقدار هزینه طرح پیشنهادی [۸] با استفاده از ULG و طرح پیشنهادی [۸] با استفاده از MI، مشخص می‌شود که با اینکه تعداد سلول‌ها تفاوت خیلی زیادی نداشته است اما به علت کاهش قابل توجه مساحت کلی مدار، در حدود ۰/٥ نانومتر مربع، تابع هزینه افت زیادی پیدا کرده است. همچنین در مورد طرح پیشنهادی [۷] و مقایسه‌کننده معرفی شده، با وجود یکسان بودن تاخیرها و همچنین تفاوت اندک مساحت، به علت کمتر شدن تعداد سلول‌ها و در نتیجه آن کمتر شدن اتلاف

انرژی به ازای آن تعداد از سلول‌ها، تابع هزینه تفاوت قابل تاملی را نشان می‌دهد. با توجه مسائل مطرح شده و مشاهده نتایج مشخص است که مقایسه‌کننده معرفی شده، دارای کمترین مقدار تابع هزینه بوده و بهینه می‌باشد [٦،٧] و [١٢-١٤].

نتیجه گیری

آتوماتای سلولی نقطه کوانتومی یکی از فناوری های جذاب و نوظهور به منظور جایگزینی با فناوری های متداول در ابعاد نانومتر است. فناوری QCA تا به امروز توجه زیادی را به خود جلب کرده است چرا که دارای ابعاد بسیار کوچک، در ابعاد مولکول و حتی اتم است و همچنین مصرف توان بسیار اندکی دارد. مزایای ذکر شده همگی محققین را تشویق کرده است تا از این فناوری بجای فناوری مرسوم CMOS در طراحی مدارات دیجیتال استفاده نمایند.

مدارات مقایسه‌کننده در انجام سایر عملیات محاسباتی و کاربردشان در طراحی میکروکنترلرها و CPU از اهمیت زیادی برخوردارند. ویژگی‌های دو نوع مقایسه‌کننده‌ها، نیم مقایسه‌کننده و تمام مقایسه‌کننده‌ها ذکر شده و رابطه‌هایشان مورد بررسی قرار گرفت. در این راستا مدارات تمام مقایسه‌کننده‌های ارائه شده تا به الان بررسی و تمام مقایسه‌کننده‌ای را معرفی کردیم. همچنین تابع هزینه‌ای از پارامترهای موثر در طراحی بهینه مدارات QCA معرفی و بررسی شد. سپس هر یک از طراحی‌ها شبیه‌سازی شده و تابع هزینه‌شان محاسبه شد. نتایج و شبیه‌سازی‌های بیان شده در بخش‌های ٣، ٤ و ٥ نشان دادند که مقایسه‌کننده معرفی شده در میزان فضای اشغالی کلی مدار، تعداد سلول‌ها و تاخیر نسبت به طراحی‌های پیشین بهبود یافته است و در نتیجه دارای کمترین میزان هزینه و مصالحه‌ای بین تمامی پارامترها می‌باشد. در نتیجه آن، می‌توان گفت این طراحی بهینه است.

تقدیر و تشکر

این تحقیق در قالب طرح پژوهشی "طراحی یک مدار تمام مقایسه کننده با کارایی بالا مبتنی بر آتوماتای سلولی نقطه کوانتومی" و با حمایت دانشگاه آزاد اسلامی واحد مشهد انجام پذیرفته است. نویسندگان مقاله، مراتب تشکر خود را از دانشگاه آزاد اسلامی واحد مشهد بابت فراهم کردن تسهیلات لازم برای انجام این تحقیق ابراز می دارند.

مراجع

[1] Das, Jadav Chandra, and Debashis De. "**Novel low power reversible binary incrementer design using quantum-dot cellular automata.**" *Microprocessors and Microsystems* 42 (2016): 10-23.

[2] AN Bahar, MM Rahman, NM Nahid, and MK Hassan, "**Energy dissipation dataset for reversible logic gates in quantum dot-cellular automata.**" *Data in brief*, *10*, (2017): 557-560.

[3] K Walus, TJ Dysart, GA Jullien, and RA Budiman, "**QCADesigner: A rapid design and simulation tool for quantum-dot cellular automata.**" IEEE transactions on Nanotechnology 3.1 (2004): 26-31.

[4] D Bahrepour, and J Forouzanfar. "**A Novel Robust Macrocell Based on Quantum Dot Cellular Automata.**" Quantum Matter 5.5 (2016): 689-696.

[5] Tougaw, P. Douglas, and Craig S. Lent. "**Logical devices implemented using quantum cellular automata.**" Journal of Applied physics 75.3 (1994): 1818-1825.

[6] D Bahrepour, "**A Novel Full Comparator Design Based on Quantum-Dot Cellular Automata.**" International Journal of Information and Electronics Engineering 5.6 (2015): 406.

[7] S. S Anuradha, B. D. Ravi, and M. Pasar Vishal, "**Design of five input majority gate full comparator using Quantom-Dot Cellular Automata**" International Journal of Ethics in Engineering & Management Education, 1, 4, (2014): 326-328.

[8] Xia, Yinshui, and Keming Qiu. "**Design and application of universal logic gate based on quantum-dot cellular automata.**" Communication Technology, 11th IEEE International Conference

on ICCT. IEEE, (2008): 335-338.
[9] S Hashemi, M Tehrani, and K Navi. "**An efficient quantum-dot cellular automata full-adder.**" Scientific Research and Essays 7.2 (2012): 177-189.
[10] P Stefania, P Corsonello, and G Cocorullo. "**Design of efficient binary comparators in quantum-dot cellular automata.**" IEEE transactions on nanotechnology 13.2 (2014): 192-202.
[11] S Subramanian, I Vennila, and S Mohanram. "**Design and Implementation of an Efficient Reversible Comparator Using TR Gate.**" Circuits and Systems 7.09 (2016): 2578.
[12] M Gladshtein. "**Quantum-dot cellular automata serial decimal adder.**"IEEE Transactions on Nanotechnology 10.6 (2011): 1377-1382.
[13] AM Chabi, A Roohi, RF DeMara, S Angizi, K Navi, and H Khademolhosseini, "**Cost-efficient QCA reversible combinational circuits based on a new reversible gate.**" Computer Architecture and Digital Systems (CADS), 2015 18th CSI International Symposium on. IEEE, 2015.
[14] VG Oklobdzija. The computer engineering handbook. CRC press, 2001.