JIPET

Journal of Intelligent Procedures in Electrical Technology
Vol. 13/ No. 49/ Spring 2022
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://jipet.iaun.ac.ir/

https://dorl.net/dor/20.1001.1.23223871.1401.13.49.6.5
Research Article

Introducing an Innovative D Flip-Flop for Designing Quaternary QCA Register

Alireza Navidi[1], *Ph.D. student*, Reza Sabbaghi-Nadooshan[2], *Associate Professor*, Massoud Dousti[1], *Associate Professor*

[1]Department of Electrical and Computer Engineering- Science and Research Branch, Islamic Azad University, Tehran, Iran
[2]Department of Electrical Engineering- Central Tehran Branch, Islamic Azad University, Tehran, Iran
alireza.navidi@srbiau.ac.ir, m_dousti@srbiau.ac.ir, r_sabbaghi@iauctb.ac.ir

Abstract
Taking advantage of advances in Nanotechnology, the quantum-dot cellular automata (QCA) has overcome many limitations that complementary metal-oxide-semiconductor (CMOS) had been confronted. Undesirable characteristics such as too many leakage currents limit the CMOS designs in nano dimensions. The idea of designing multiple-valued logic (MVL) systems rather than standard binary has gotten attractive to many designers. The application of MVL in the design of digital circuits offers so many advantages over traditional methods. D flip-flop is a primary sequential circuit in any register. In this paper, a novel quaternary D flip-flop based on introducing quaternary QCA (QQCA) is presented. The structure of our quaternary model is clarified. Also, we have proposed a 4-qubits register by utilizing the presented quaternary D flip-flop. Both circuits got simulated and evaluated by QCASim (quaternary edition). QCASim can illustrate the simulation result in a truth table and a waveform format. Our work got compared with other published works. The simulation results show that our proposed circuit is efficient in terms of latency and energy consumption.

Keywords: quaternary quantum-dot cellular automata, quaternary logic, quaternary D flip-flop, quaternary register, QCASim.

Received: 3 April 2021
Revised: 14 May 2021
Accepted: 10 June 2021

Corresponding Author: Dr. Reza Sabbaghi-Nadooshan

Citation: A. Navidi, R. Sabbaghi-Nadooshan, M. Dousti, "Introducing an innovative D flip-flop for designing quaternary QCA register", Journal of Intelligent Procedures in Electrical Technology, vol. 13, no. 49, pp. 83-92, June 2022 (in Persian).

https://dorl.net/dor/20.1001.1.23223871.1401.13.49.6.5
مقاله پژوهشی

معرفی یک فیلپ-فلاپ D مبتکرانه برای طراحی ثبات چهار ارزشی اتوماتای سلولی نقاط کوانتومی

علی‌رضا نویدی[۱]، دانشجوی دکتری تخصصی، رضا صباغی‌ندوشن[۲]، دانشیار، مسعود دوستی[۱]، دانشیار

۱- دانشکده مهندسی برق و کامپیوتر- واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران
۲- دانشکده مهندسی برق- واحد تهران مرکزی، دانشگاه آزاد اسلامی، تهران، ایران
alireza.navidi@srbiau.ac.ir, m_dousti@srbiau.ac.ir, r_sabbaghi@iauctb.ac.ir

چکیده: اتوماتای سلولی نقاط کوانتومی (QCA) با بهره‌گیری از پیشرفت‌های فن‌آوری نانو، بسیاری از محدودیت‌هایی که نیمه‌رسانا اکسید فلزی مکمل (CMOS) با آن روبرو شده بود را برطرف کرده است. مشخصه‌های نامطلوب همانند جریان‌های نشتی زیاد، طراحی‌های CMOS را در ابعاد نانو محدود می‌سازد. ایده‌ی طراحی سیستم‌های چند ارزشی منطقی (MVL) به جای دودویی استاندارد، برای بسیاری از طراحان جذاب شده است. کاربرد MVL در طراحی مدارهای دیجیتال، مزایای بسیاری نسبت به روش‌های مرسوم دارد. فلیپ فلاپ D یک مدار ترتیبی عمده در هر ثباتی است. در این مقاله، یک فلاپ فلاپ D چهار ارزشی مبتنی بر اتوماتای سلولی نقاط کوانتومی چهارچهاری (QQCA) معرفی شده و ساختار مدل چهارچهاری پیشنهادی شرح داده شده است. همچنین ما با استفاده از فلیپ فلاپ D چهارچهاری ارائه شده، یک ثبات ۴ کوبیتی پیشنهاد کرده‌ایم. هر دو مدار توسط QCASim (نسخه چهارچهاری)، شبیه‌سازی و ارزیابی شده‌اند. QCASim می‌تواند نتیجه‌ی شبیه‌سازی را در قالب شکل موج و جدول صحت نمایش دهد. کار ما با سایر آثار منتشر شده مورد مقایسه قرار گرفته است. نتایج شبیه‌سازی نشان می‌دهد که مدار پیشنهادی از نظر تاخیر و مصرف انرژی کارآمد است.

کلمات کلیدی: اتوماتای سلولی نقاط کوانتومی چهار ارزشی، منطق چهارچهاری، فلیپ فلاپ D چهارچهاری، ثبات چهارچهاری، QCASim.

تاریخ ارسال مقاله: ۱۴۰۰/۱/۱۴
تاریخ بازنگری مقاله: ۱۴۰۰/۲/۲۴
تاریخ پذیرش مقاله: ۱۴۰۰/۳/۲۰

نام نویسنده‌ی مسئول: دکتر رضا صباغی-ندوشن
نشانی نویسنده‌ی مسئول: تهران- دانشگاه آزاد اسلامی واحد تهران مرکزی- دانشکده فنی و مهندسی- گروه الکترونیک

۱- مقدمه

در سال‌های اخیر، روند کوچک‌سازی ابعاد ترانزیستورها با چالش‌های بسیاری همراه بوده است. دست‌یابی به حداقل طول ترانزیستور در مقیاس انگستروم، نیازمند فن‌آوری‌های پیشرفته در ساخت افزاره‌های نیم‌رسانا است [۱]. ماسفت‌ها[۱] در این بازه ابعادی از خودشان رفتارهای غیر ایده‌آل و ناخواسته بروز می‌دهند. افزایش جریان‌های نشتی، متغیر بودن مشخصه افزاره و در نهایت مصرف بیش از حد انرژی، از معضلات ساخت این افزاره‌ها در این محدوده ابعادی است [۲].

تاکنون فن‌آوری‌های بسیاری برای جانشینی نیمه‌رسانا اکسید فلزی مکمل[۲](CMOS) معرفی شده‌اند که هرکدام دارای محاسن و معایب به خصوصی هستند. فن‌آوری‌های اتوماتای سلولی نقاط کوانتومی[۳](QCA) یکی از فن‌آوری‌های مناسب برای جایگزینی CMOS (در ابعاد نانو) در مدارهای دیجیتال است [۳]. QCA می‌تواند در محدوده فرکانسی تراهرتز کار کند درحالی‌که ابعاد هر سلول به کوچکی مولکول است [۴]. استفاده از منطق چند ارزشی یکی از رویکردهایی است که به سیستم‌های محاسباتی کمک می‌کند تا عملیات پیچیده را ساده‌تر و سریعتر انجام دهد [۵]. یک کوبیت[۴] در منطق چهارچهاری می‌تواند چهار ارزش مختلف را نمایش دهد درحالی‌که نمایش این مقدار ارزش نیازمند دو بیت در منطق دودویی است [۶]. تاکنون علاوه بر سیستم‌هایی که منحصرا بر اساس یک ارزش مشخص طراحی شده‌اند (مثلا سه ارزشی، چهار ارزشی)، سیستم هایی نیز معرفی شده‌اند که بخشی از مدارشان بر اساس منطق چهارچهاری[۵] و بخش دیگر بر اساس دودویی[۶] طراحی شده است [۷]. این روش کمک شایانی در کاهش پیچیدگی سیستم می‌کند. حافظه‌های مدارهای چهار ارزشی در مقایسه با منطق دودویی می‌تواند دو برابر اطلاعات را ذخیره کند. تعداد ورودی‌ها و خروجی‌ها نیز به این طریق می‌تواند کاهش یابد. پردازش تصویر یکی از بارزترین کاربردهای منطق چند ارزشی است چون برای دستیابی به کیفیت تصویر بهتر، نیازمند پردازش به صورت چند ارزشی (مثلا چهارچهاری) است [۸]. اگرچه QCA چند ارزشی در مراحل ابتدایی توسعه است، ولی تلاش‌های بسیاری در زمینه معرفی طرح‌های چند ارزشی ارائه شده است [۹]. تاکنون مدارهای منطقی بسیاری با QCA سه‌سه‌ای طراحی و شبیه‌سازی شده‌اند [۱۰،۱۱]. QCA چند ارزشی شباهت بسیاری به QCA مرسوم (QCA دودویی) دارد [۱۲].

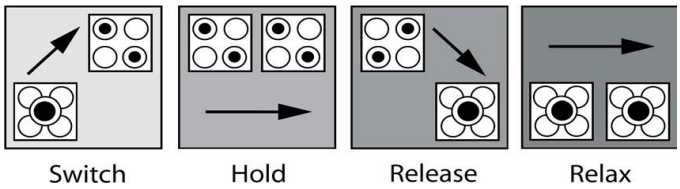
داخل هر سلول QCA تعداد معینی چاه پتانسیل قرار گرفته که یک جفت الکترون محبوس در سلول، می‌تواند بین این چاه‌ها آزادانه حرکت کند. این الکترون‌ها طبق نیروی دافعه کولمبی در دورترین فاصله ممکن نسبت به همدیگر در چاه‌ها قرار می‌گیرند. تعداد این حالت‌ها برای QCA دودویی (با چهار چاه پتانسیل) دوتا است که بیانگر ارزش '0' و '1' منطقی است. شکل (۱) نمای سلول QCA را در دو وضعیت نمایش می‌دهد [۱۳].

(الف) با قطبیت P = -1 (ارزش '0' منطقی) **(ب) با قطبیت P = 1 (ارزش '1' منطقی)**

شکل (۱): نمای سلول QCA

Figure (1): QCA cell schematic, a) with polarization P = -1 (Binary '0'), b) with polarization P = 1 (Binary '1')

کلاک در QCA چند ارزشی همانند QCA مرسوم است که شامل چهار سیگنال کلاک است. هر سیگنال کلاک دارای ۴ فاز است که عبارتند از: ۱) تعویض[۷] ۲) نگاه‌داری[۸] ۳) رهایی[۹] و ۴) استراحت. شکل (۲) نمای کلاک QCA را نمایش می‌دهد.



شکل (۲): فازهای کلاک QCA [۱۴]

Figure (2): QCA clock phases [14]

وظیفه کلاک، بالا و پایین بردن سد پتانسیل چاه‌ها به منظور هماهنگی در روند انتقال داده‌ها است. این فازها نسبت به همدیگر (به ترتیب) ۹۰ درجه اختلاف فاز دارند. در فاز اول سدها بالا برده می‌شوند و پدیده تونل‌زنی الکترونی رخ می‌دهد. در فاز دوم، سدهای پتانسیل بالا نگه داشته می‌شوند و سلول‌های QCA قطبیده شده، در وضعیت مشخصی قرار می‌گیرند. در فاز سوم، سدها به آرامی پایین آورده می‌شوند و الکترون‌ها به آهستگی آزاد می‌شوند. در فاز آخر سدها به پایین‌ترین حد خود می‌رسند و الکترون‌ها آزادانه حرکت می‌کنند [۱۴].

ثبات‌ها[1]مدارهایی هستند که از آن‌ها برای نگهداری اطلاعات استفاده می‌شود. هر ثبات n کوبیتی قابلیت نگهداری n کوبیت اطلاعات را دارد. برای هر کوبیت ثبات، نیاز به یک فلیپ فلاپ[2]است. متداول است که ثبات‌ها با فلیپ فلاپ D طراحی می‌شوند [۱۵]. در این مقاله با استفاده از فلیپ فلاپ D چهارچهاری پیشنهادی، ثبات چهارچهاری پیشنهاد و شبیه‌سازی شده است. سازمان‌دهی این مقاله به این شرح است. در بخش دوم پیشینه تحقیق تشریح شده است. جدول صحت منطق چهارچهاری آورده شده و اشاره‌ای به کارهای پیشین انجام شده در زمینه ثبات چهارچهاری شده است. در بخش سوم مدل QCA چهارچهاری پیشنهادی به همراه نرم‌افزار شبیه‌ساز مخصوص آن بیان می‌شود. بخش چهارم اختصاص به مدارهای پیشنهادی دارد. در بخش پنجم نتایج شبیه‌سازی و مقایسه با مطالعات پیشین آورده شده است. نتیجه‌گیری این مقاله در بخش آخر (ششم) آورده شده است.

۲- پیشینه

یک رقم چهارچهاری (کوبیت) می‌تواند چهار ارزش (0, 1, 2, 3) را نمایش دهد. می‌توان هر کوبیت را معادل دو بیت دودویی در کنار هم تصور کرد (00, 01, 10, 11). در این صورت عملیات منطق چهارچهاری همانند عملیات منطق دودویی روی رشته‌های دو بیتی خواهد بود [۱۶]. جدول صحت برخی از عملیات پایه منطق چهار ارزشی در جدول (۱) نمایش داده شده است.

Table (1): The truth table of quaternary operators

جدول (۱): جدول صحت عملیات چهارچهاری

Input1	Input2	NOT (SQI) Input1	MIN Input1, Input2	MAX Input1, Input2
0	0	3	0	0
0	1	3	0	1
0	2	3	0	2
0	3	3	0	3
1	0	2	0	1
1	1	2	1	1
1	2	2	1	2
1	3	2	1	3
2	0	1	0	2
2	1	1	1	2
2	2	1	2	2
2	3	1	2	3
3	0	0	0	3
3	1	0	1	3
3	2	0	2	3
3	3	0	3	3

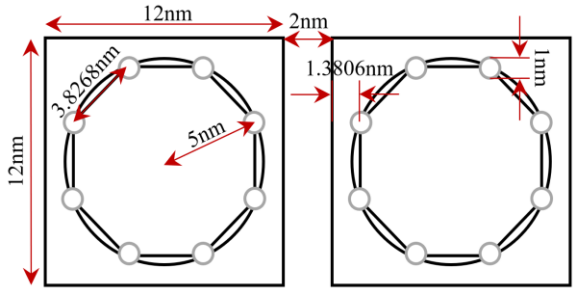
فلیپ فلاپ D که به‌عنوان ذخیره‌ساز نیز معروف است، یک مدار منطقی ترتیبی[3]است که هر مقداری که به ورودی‌اش اعمال شود را بعد از آمدن پالس ساعت، در خروجی‌اش نمایش می‌دهد. تاکنون مقالات بسیاری در زمینه طراحی فلیپ فلاپ D با فن‌آوری QCA مرسوم (دودویی) ارائه شده است [۲۳-۱۷] اما طراحی با استفاده از QCA چهارچهاری انجام نپذیرفته است. لازم به ذکر است که طراحان این مدل فلیپ فلاپ و اقسام دیگر را به‌صورت چهارچهاری با استفاده از فن‌آوری CMOS طراحی و شبیه‌سازی کرده‌اند [۲۹-۲۴].

۳- مدل QCA چهارچهاری پیشنهادی

در این بخش مدل QCA چهارچهاری پیشنهادی، تشریح می‌شود. پیکربندی سلول‌ها، تعداد حالت‌های ممکن برای هر سلول از طریق محاسبات انرژی، نرم‌افزار شبیه‌ساز مخصوص و ساختارهای پایه همگی در این بخش تشریح می‌شوند.

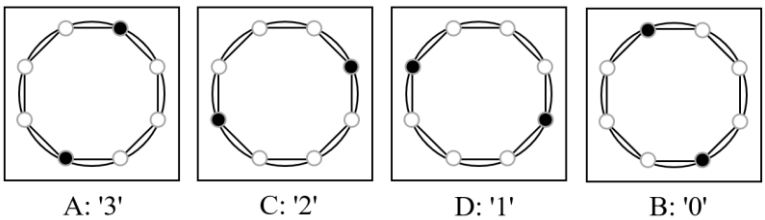
۳-۱- پیکربندی

QCA چهارچهاری برای نشان دادن چهار حالت پایدار، دارای ۸ نقطه کوانتومی است [۳۰]. ابعاد سلول‌ها شبیه QCA سه‌سه‌ای است که پیش‌تر معرفی گردیده است [۱۲]. سلول اتوماتای سلولی نقاط کوانتومی چهارچهاری(QQCA)[۴] بر پایه یک هشت ضلعی منتظم طراحی شده است. تمام ۸ نقاط کوانتومی در گوشه‌های هشت ضلعی قرار گرفته‌اند که این هشت ضلعی داخل یک دایره محاط شده است. در نتیجه، با استفاده از روابط ریاضی و مثلثاتی همچون روابط سینوس‌ها و کسینوس‌ها در یک چند ضلعی منتظم، اندازه و ابعاد اجزاء پیکربندی QQCA به‌دست می‌آید. شکل (۳) ابعاد دو سلول QQCA پیشنهادی را در کنار هم نشان می‌دهد.



شکل (۳): ابعاد سلول‌های QQCA
Figure (3): QQCA cell's dimension

قطبیت سلول‌های مجاور از طریق روابط انرژی حاکم بین سلول‌ها تعیین می‌شود. چهار وضعیت پایدار برای هر سلول امکان‌پذیر است (قرارگیری دو الکترون از بین هشت چاه پتانسیل). طبق قانون دافعه کولمب الکترون‌ها در دورترین وضعیت ممکن نسبت به همدیگر داخل نقاط قرار می‌گیرند. هر وضعیت از بین چهارتا، نشانگر یک حالت از منطق‌های چهارگانه چهارچهاری است. به بیان دیگر، همانند اتوماتای سلولی نقاط کوانتومی دودویی[۵](BQCA) هر وضعیت می‌تواند به‌عنوان یک ارزش منطقی نشان داده شود. برخلاف اتوماتای سلولی نقاط کوانتومی سه‌سه‌ای[۶](TQCA) که دو وضعیت بیانگر ارزش '0' منطقی بودند [۱۲]. در طرح پیشنهادی، هر کدام از حالت‌ها با یک واج نمایش داده می‌شوند. واج 'A' ارزش منطقی '3' را نمایش می‌دهد که بالاترین ارزش در منطق چهارچهاری است. بعد از آن واج 'C' ارزش منطقی '2' را نمایش می‌دهد. سپس، واج 'D' ارزش منطقی '1' را نمایش می‌دهد و در آخر واج 'B' ارزش منطقی '0' را نمایش می‌دهد که پایین‌ترین ارزش در منطق چهارچهاری است. شکل (۴) این چهار حالت را نمایش می‌دهد.



شکل (۴): چهار حالت ممکن سلول‌های QQCA
Figure (3): Four possible states of QQCA cells

۳-۲- نرم‌افزار شبیه‌سازی

اخیرا، یک نرم‌افزار دقیق و سریع برای شبیه‌سازی مدارهای QCA در حالت چند ارزشی طراحی و معرفی شده است. شبیه‌ساز طراحی شده، ایجاد جانمایی، بازبینی و ردیابی روند شبیه‌سازی را با ابزارهای سودمندش برای طراحان بسیار آسوده کرده است

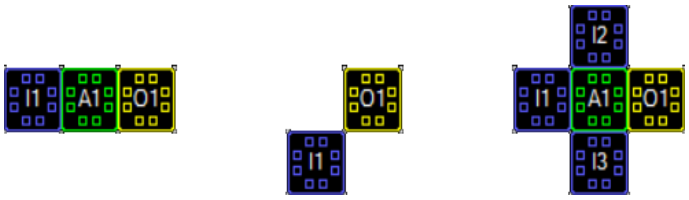
زیرا دارای محیط شبیه‌سازی نزدیک به شبیه‌ساز معروف QCADesigner (شبیه‌ساز QCA مرسوم) است [۳۱] که علاقه‌مندان به طراحی سیستم‌های دیجیتال با استفاده از فن‌آوری QCA احساسی آشنا و راحت در کار کردن با QCASim داشته باشند. پیش‌تر، این نرم‌افزار در نسخه سه‌سه‌ای[۴] ایجاد [۱۲-۱۰] و توسعه داده شده است [۹،۳۲] و مقالات بسیاری با استفاده از این نسخه از نرم‌افزار ارائه شده‌اند [۳۳،۳۴]. اساس شبیه‌ساز QCASim بر پایه محاسبات انرژی الکتروستاتیک خارجی ما بین سلول‌ها است. نرم‌افزار فاصله‌ی بین الکترون‌ها را در سلول‌های مجاور همدیگر (به صورت افقی، عمودی و مورب) با استفاده از روابط مثلثاتی حاکم، حساب می‌کند. روند تعیین قطبیت سلول‌ها به این شرح است: ابتدا سلول‌های ورودی و سلول‌هایی با قطبیت ثابت شناسایی می‌شوند. سپس با در نظر گرفتن پنجره‌ای دور این سلول‌ها، سلول‌های فاقد قطبش مشخص می‌شوند. در این حالت، شبیه‌ساز برای سلول‌های فاقد قطبش چهار قطبیت متفاوت را در نظر می‌گیرد و شروع به محاسبه انرژی الکترواستاتیک خارجی بین سلول‌های مزبور می‌کند. مقدار نهایی انرژی از کم کردن جمع انرژی‌های با نام مشابه از انرژی‌های با نام غیر مشابه به‌دست می‌آید. درصورتی‌که حاصل عددی منفی شود، قدر مطلق عدد مورد نظر قرار می‌گیرد. در آخر، نتایج محاسبات انرژی با همدیگر مقایسه می‌شود و کمترین عدد برگزیده خواهد شد. کمترین عدد بین چهار عدد نتیجه محاسبه انرژی، بیانگر حالت مطلوب خواهد بود و قطبیت آن سلول فاقد قطبش را تعیین می‌کند. انرژی الکترواستاتیک خارجی همان انرژی دافعه کولمبی بین الکترون‌های سلول‌های مجاور همدیگر است که از طریق رابطه (۱) به‌دست می‌آید.

$$E_{external} = \frac{1}{4\pi\varepsilon_0\varepsilon_r}\sum_{i=0}^{m}\sum_{j=0}^{n}\frac{q_i q_j}{d_{ij}} \qquad (۱)$$

در این رابطه ε_0 و ε_r به‌ترتیب ثابت گذردهی خلاء و ماده هستند. q_i و q_j بارهای داخل نقاط کوانتومی هستند و d_{ij} فاصله‌ی بین این دو است. توضیحات بیشتر پیرامون محاسبات انرژی در مراجع [۱۲] و [۳۰] ارائه شده است.

۳-۳- ساختارهای پایه

در طرح QQCA پیشنهادی، ساختار گیت‌های معکوس‌کننده (معکوس‌کننده استاندارد چهارچهاری[۱۰] و اکثریت[۱۱] شبیه به همین ساختارها در BQCA است. تفاوت در ساختار سیم است. برای ساخت سیم (افقی/عمودی)، نیاز است که تعداد سلول‌ها عددی مضرب فرد باشد. شکل (۵) این سه ساختار را نمایش می‌دهد. رنگ‌های سلول‌ها در نرم‌افزار QCASim شبیه رنگ‌های به‌کار برده شده در نرم‌افزار QCADesigner است.



شکل (۵): از چپ به راست به ترتیب ساختار سیم، معکوس‌کننده استاندارد چهارچهاری و گیت اکثریت

Figure (5): Structure of a wire, SQI and majority gate from left to right respectively

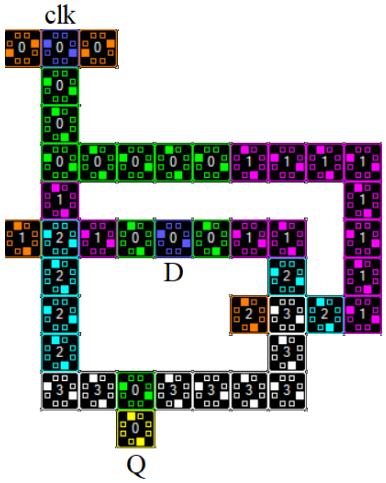
۴- مدارهای منطقی QQCA پیشنهادی

در این بخش، ابتدا به طراحی مدار فلیپ فلاپ D پرداخته شده است. شکل موج خروجی و نتایج شبیه‌سازی آورده شده است. سپس با استفاده از مدار فلیپ فلاپ طراحی شده، ثبات 4 کوبیتی پیشنهاد شده است. در آخر نتایج شبیه‌سازی در جدولی گردآوری شده است.

۴-۱- فلیپ فلاپ D

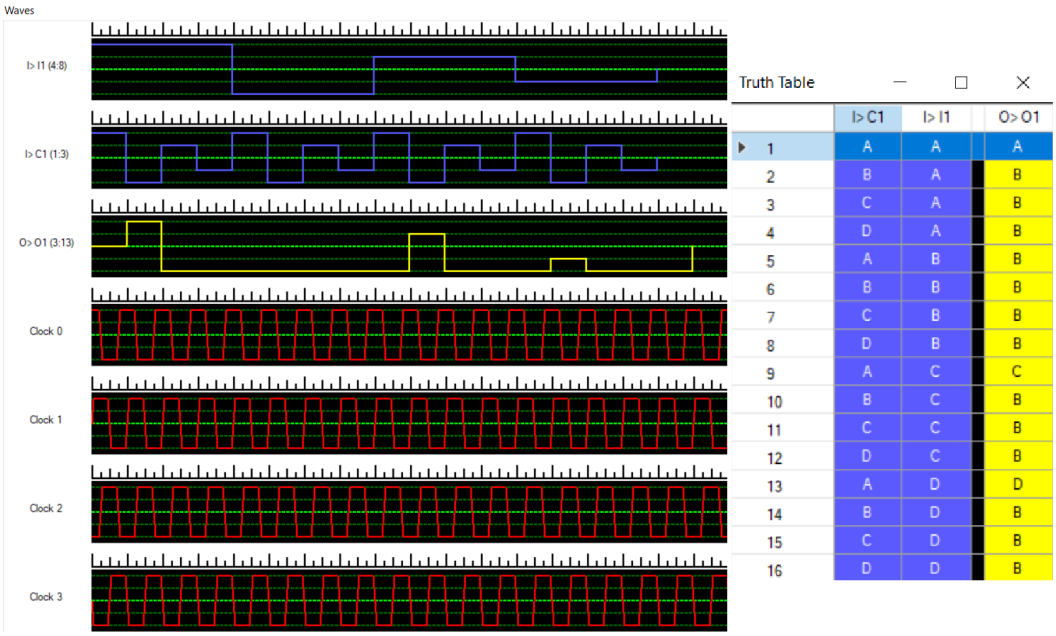
همان‌طور که در بخش پیشینه مطرح گردید، فلیپ فلاپ D یک مدار منطقی ترتیبی است که هر مقداری که به ورودی‌اش اعمال شود را بعد از آمدن پالس ساعت، در خروجی‌اش نمایش می‌دهد. پالس ساعت یک ورودی مجزا همانند ورودی D است و

ارتباطی با سیگنال‌های کلاک خود سلول‌های QQCA ندارد. شکل (۶) چیدمان نمادار فلیپ فلاپ D پیشنهادی را نمایش می‌دهد. نرم‌افزار QCASim نتیجه شبیه‌سازی را در دو حالت جدول صحت و شکل موج نمایش می‌دهد. شکل (۷) نتیجه شبیه‌سازی این مدار را نمایش می‌دهد. همان‌طور که از نتیجه شبیه‌سازی مشخص است؛ باید حتما پالس ساعت '3' بشود (وضعیت A) تا خروجی هر چیزی که در ورودی‌اش اعمال شده را نمایش بدهد.



شکل (۶): چیدمان فلیپ فلاپ D پیشنهادی

Figure (6): Schematic of proposed D flip-flop

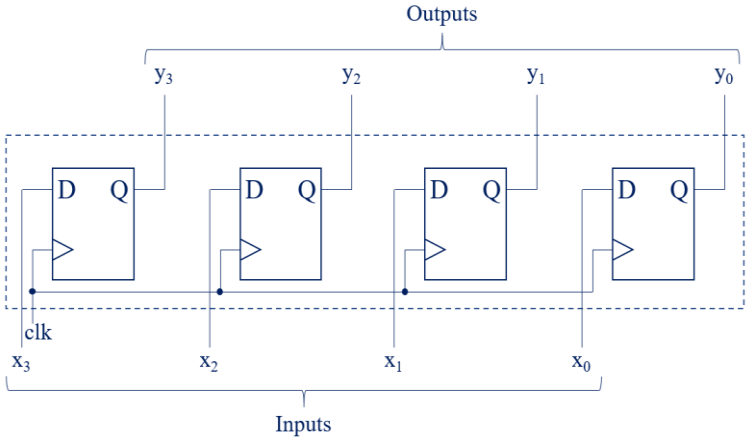


شکل (۷): نتیجه شبیه‌سازی فلیپ فلاپ D پیشنهادی

Figure (7): Simulation results of proposed D flip-flop

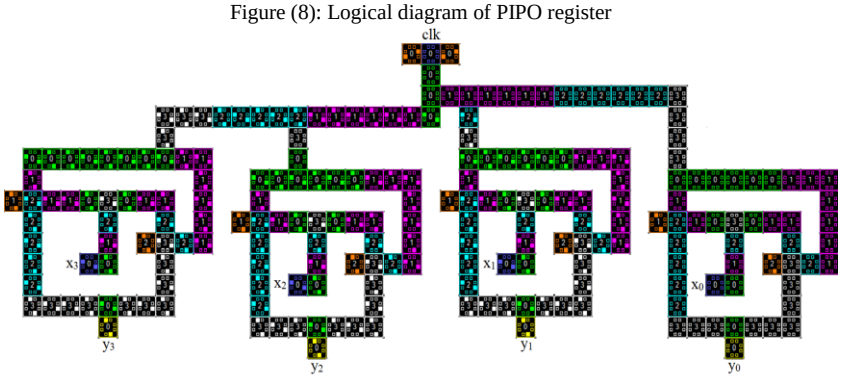
۴-۲- ثبات PIPO

با کنار هم قرار دادن فلیپ فلاپ‌های D می‌توان ثبات طراحی نمود. اگر ورودی فلیپ فلاپ‌ها هم‌زمان اعمال شوند و خروجی‌ها نیز هم‌زمان خارج شوند (ورودی و خروجی هیچ فلیپ فلاپی به فلیپ فلاپ دیگر وابسته نباشد)؛ به این ثبات، ثبات ورودی موازی خروجی موازی[۱] (PIPO) می‌گویند. شکل (۸) نمودار منطقی این ثبات را نمایش می‌دهد. در طرح پیشنهادی پالس ساعت به همه‌ی فلیپ فلاپ‌های ثبات، همزمان اعمال می‌شود. به عبارت دیگر، پالس ساعت در همه‌ی فلیپ فلاپ‌ها سنکرون (هم‌زمان) است. شکل (۹) چیدمان ثبات PIPO پیشنهادی را نمایش می‌دهد.



شکل (۸): نمودار منطقی ثبات PIPO

Figure (8): Logical diagram of PIPO register



شکل (۹): چیدمان ثبات PIPO پیشنهادی

Figure (9): Schematic of proposed PIPO register

Table (2): Simulation results of proposed designs

جدول (۲): نتایج شبیه‌سازی طرح‌های پیشنهادی

	تعداد سلول به‌کار رفته	تاخیر (سیکل ساعت)	مساحت اشغالی (um^2)	هزینه	انرژی مصرفی (J ۲۰-e)
فلیپ فلاپ D	۴۳	۱/۲۵	۰/۰۲۰۹	۱/۱۲	۱۰۸/۵۱
۴ کوبیت ثبات (PIPO)	۲۱۷	۲/۲۵	۰/۱۲۴۸	۶۰/۹۳	۵۳۵/۰۱

۵- ارزیابی عملکرد

برای ارزیابی کارایی مدارهای QCA شاخصی به‌نام هزینه تعریف شده است که دربرگیرنده‌ی مساحت اشغالی، تاخیر و تعداد سلول‌های استفاده شده است. رابطه‌ی (۲) این شاخص را نمایش می‌دهد [۱۰].

$$\text{Cost} = \text{Area} \times \text{Delay} \times \text{Complexity} \quad (۲)$$

نتایج شبیه‌سازی برای مدارهای پیشنهادی در جدول (۲) آمده است. در این جدول، مساحت اشغالی از محاسبه کردن مساحت مستطیلی به‌دست می‌آید که تمامی سلول‌های مدار را در بر بگیرد. همچنین، انرژی مصرفی از حاصل جمع کل انرژی الکترواستاتیک داخلی (انرژی الکترواستاتیک داخلی برای تمامی سلول‌ها) و کل انرژی الکترواستاتیک خارجی (انرژی الکترواستاتیک خارجی مابین سلول‌های مجاور) به‌دست می‌آید؛ که در رابطه‌ی (۳) نشان داده شده است [۳۰،۳۵].

$$\text{Total Energy Consumption} = (E_{\text{internal}} \times \text{Cell Number}) + E_{\text{external}} \quad (۳)$$

همان‌طور که در بخش اول گفته شد، تاکنون فلیپ فلاپ و ثبات با فن‌آوری QCA چهارچهاری طراحی نشده است. از این روی مدارهای پیشنهادی با کارهای دیگر نویسندگان در فن‌آوری CMOS مورد مقایسه قرار گرفته است. نتیجه این مقایسه (فلیپ فلاپ پیشنهادی با D فلیپ فلاپ‌های چهارچهاری دیگر طراحان) در جدول (۳) آورده شده است. در آخر نیز، فلیپ فلاپ

چهارچهاری پیشنهادی با فلیپ فلاپ‌های دودویی در فن‌آوری QCA مقایسه شد و جدول (۴) نتیجه این مقایسه را نمایش می‌دهد. شایان ذکر است که فلیپ فلاپ پیشنهادی می‌تواند چهار ارزش منطقی را نمایش دهد (منطق چهارچهاری) و باید در نظر داشت که برای نشان دادن این تعداد ارزش منطقی، نیاز به دو فلیپ فلاپ دودویی است. یعنی برای داشتن درکی بهتر از این قیاس، نیاز است که تعداد سلول‌های به‌کار رفته و مساحت اشغالی (در حالت دودویی) حداقل دو برابر شود.

Table (3): Quaternary D flip-flops comparison results

جدول (۳): نتایج مقایسه D فلیپ فلاپ‌های چهارچهاری

فن‌آوری ساخت	تاخیر (s)	انرژی مصرفی (J)	
۰/۱۸um CMOS ۱/۸V	۰/۵۵e-۹	۵۹/۴e-۱۵	[۲۴]
۰/۳۵um CMOS ۳/۵V	۰/۴۳e-۹	۵۹/۳۴e-۱۵	[۲۵]
۰/۳۵um CMOS ۳/۳V	۰/۴۳e-۹	۵۹/۳e-۱۵	[۲۶]
۰/۱۸um CMOS ۱/۸V	۶۵e-۱۲	۲۳/۹۲e-۱۵	[۲۷]
۰/۱۸um CMOS ۱/۸V	۲۲۵e-۱۲	۱۳e-۱۵	[۲۸]
۹۰nm CMOS ۱/۲V	۵۸e-۱۲	۲/۷۸e-۱۵	[۲۹]
۹۰nm CMOS ۱/۲V	۵۰e-۱۲	۲/۱۵e-۱۵	[۲۹]
QQCA پیشنهادی	۲/۵e-۱۲	۰/۱e-۱۷	طرح پیشنهادی

Table (4): QCA D flip-flops comparison results

جدول (۴): نتایج مقایسه D فلیپ فلاپ‌های QCA

تعداد سلول به‌کار رفته	تاخیر (سیکل ساعت)	مساحت اشغالی (um^2)	هزینه	
۴۳	۱/۵	۰/۰۴	۲/۵۸	[۱۷]/(دودویی)
۳۷	۱	۰/۰۳	۱/۱۱	[۱۸]/(دودویی)
۲۸	۱	۰/۰۳	۰/۸۴	[۱۹]/(دودویی)
۲۴	۱	۰/۰۲	۰/۴۸	[۲۰]/(دودویی)
۲۴	۱	۰/۰۲	۰/۴۸	[۲۱]/(دودویی)
۱۹	۱	۰/۰۲	۰/۳۸	[۲۲]/(دودویی)
۱۸	۱	۰/۰۱	۰/۱۸	[۲۳]/(دودویی)
۴۳	۱/۲۵	۰/۰۲	۱/۱۲	طرح پیشنهادی/(چهارچهاری)

۶- نتیجه‌گیری

طراحی سیستم‌های دیجیتال به‌صورت چند ارزشی، یکی از راه‌کارهایی است که می‌تواند پیچیدگی سیستم و حجم مدار را کاهش دهد. سیستم‌های چند ارزشی در بسیاری از کاربردها متداول است. فلیپ فلاپ‌ها و ثبات‌ها جزء مهمترین المان‌ها در طراحی حافظه‌ها هستند. فن‌آوری اتوماتای سلولی کوانتومی یکی از فن‌آوری‌های به‌روز است که فاقد بسیاری از معضلات ساخت CMOS در ابعاد نانومتر است. در این مقاله، مدلی چهار ارزشی برای QCA معرفی گردید. اساس ساختار و روابط انرژی حاکم توضیح داده شد. روند شبیه‌سازی نرم‌افزار مخصوص QQCA (QCASim) تشریح گردید. سپس فلیپ فلاپ D چهارچهاری و 4 کوبیت ثبات PIPO با استفاده از مدل معرفی شده، طراحی و شبیه‌سازی گردید. نتایج شبیه‌سازی و مقایسه کار پیشنهادی با کارهای دیگر نویسندگان با فن‌آوری CMOS و QCA دودویی در جدول‌هایی مخصوص ارائه گردید. نتایج شبیه‌سازی حاکی از آن بود که طرح پیشنهادی در مقایسه با طرح‌های دیگران دارای برتری بود.

References

مراجع

[1] S.M.A. Zanjani, M. Parvizi, "Design and simulation of a bulk driven operational trans-conductance amplifier based on CNTFET technology", Journal of Intelligent Procedures in Electrical Technology, vol. 12, no. 45, pp. 65-76, June 2021 (in Persian) (dor: 20.1001.1.23223871.1400.12.1.5.1).

[2] A. Baghi-Rahin, V. Baghi-Rahin, "A new 2-input CNTFET-based XOR cell with ultra-low leakage power for low-voltage and low-power full adders", Journal of Intelligent Procedures in Electrical Technology, vol. 10, no. 37, pp. 13-22, 2019 (in Persian).
[3] F. Peng, Y. Zhang, R. Kuang, G. Xie, "Spars: a full flow quantum-dot cellular automata circuit design tool", IEEE Trans. on Circuits and Systems II: Express Briefs, vol. 68, no. 4, pp. 1233-1237, April 2021 (doi: 10.1109/TCSII.2020.3039532).
[4] E. Blair, "Electric-field inputs for molecular quantum-dot cellular automata circuits", IEEE Trans. on Nanotechnology, vol. 18, pp. 453-460, April 2019 (doi: 10.1109/TNANO.2019.2910823).
[5] V. Levashenko, I. Lukyanchuk, E. Zaitseva, M. Kvassay, J. Rabcan, P. Rusnak, "Development of programmable logic array for multiple-valued logic functions", IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 39, no. 12, pp. 4854-4866, Dec. 2020 (doi: 10.1109/TCAD.2020.2966-676).
[6] A. Norouzi Doshanlou, M. Haghparast, M. Hosseinzadeh, M. Reshadi, "Efficient design of quaternary quantum comparator with only a single ancillary input", IET Circuits, Devices and Systems, vol. 14, no. 1, pp. 80-87, Jan. 2020 (doi: 10.1049/iet-cds.2019.0098).
[7] F. Sharifi, A. Panahi, H. Sharifi, K. Navi, N. Bagherzadeh, H. Thapliyal, "Design of quaternary 4–2 and 5–2 compressors for nanotechnology", Journal of Computers and Electrical Engineering, vol. 56, pp. 64-74. Nov. 2016 (doi: 10.1016/j.compeleceng.2016.11.006).
[8] E. Abiri, A. Darabi, S. Salem, "Design of multiple-valued logic gates using gate-diffusion input for image processing applications", Computers and Electrical Engineering, vol. 69, pp. 142–157, July 2018 (doi: 10.1016/j.compeleceng.2018.05.019).
[9] A. Navidi, R. Sabbaghi-Nadooshan, M. Dousti, "TQCAsim: an accurate design and essential simulation tool for ternary logic quantum-dot cellular automata", Scientia Iranica, in Press, 2021 (doi: 10.24200/SCI.202-1.53471.3256).
[10] S.M. Mohaghegh, R. Sabbaghi-Nadooshan, M. Mohammadi, "Designing ternary quantum-dot cellular automata logic circuits based upon an alternative model", Computers and Electrical Engineering, vol. 71, pp. 43–59, Oct. 2018 (doi: 10.1016/j.compeleceng.2018.07.001).
[11] SM. Mohaghegh, R. Sabbaghi-Nadooshan, M. Mohammadi, "Design of a ternary QCA multiplier and multiplexer: a model-based approach", Analog Integrated Circuits and Signal Processing, vol. 101, pp. 23–29, May 2019 (doi: 10.1007/s10470-019-01465-3).
[12] SM. Mohaghegh, R. Sabbaghi-Nadooshan, M. Mohammadi, "Innovative model for ternary QCA gates", IET Circuits, Devices & Systems, vol. 12, no. 2, pp. 189–195, Mar. 2018 (doi: 10.1049/iet-cds.2017.0276).
[13] T.F. Cesar, L.F.M. Vieira, M.A.M. Vieira, O.P. Vilela Neto, "Cellular automata-based byte error correction in QCA", Nano Communication Networks, vol. 23, Article Number: 100278, Feb. 2020 (doi: 10.1016/j.n-ancom.2019.100278).
[14] V. Vankamamidi, M. Ottavi, F. Lombardi, "Clocking and cell placement for QCA", Proceeding of the IEEE/NANO, pp. 343-346, OH, USA, July 2006 (doi: 10.1109/NANO.2006.247647).
[15] M. Morris Mano, M. D. Ciletti, "Digital Design", 6th Edition, Pearson, 2018.
[16] I. Jahangir, A. Das, M. Hasan, "Design of novel quaternary encoders and decoders", Proceeding of the IEEE/ICIEV, pp. 1021-1026, Dhaka, May 2012 (doi: 10.1109/ICIEV.2012.6317530).
[17] M. A. Dehkordi, M. Sadeghi, "A new approach to design D-ff in QCA technology", Proceedings of the IEEE/ICCSNT, pp. 2245-2248, Changchun, China, Dec. 2012 (doi: 10.1109/ICCSNT.2012.6526365).
[18] T. N. Sasamal, A. K. Singh, U. Ghanekar, "Design and implementation of QCA D-flip-flops and RAM cell using majority gates", Journal of Circuits, Systems and Computers, vol. 28, no. 05, May 2019 (doi: 10.11-42/S0218126619500798).
[19] H. Alamdar, G. Ardeshir, M. Gholami, "Phase-frequency detector in QCA nanotechnology using novel flip-flop with reset terminal", International Nano Letters, vol. 10, pp. 111-118, June 2020 (doi: 10.1007/s40089-020-00300-2).
[20] S. Senthilnathan, S. Kumaravel, "Power-efficient implementation of pseudo-random number generator using quantum dot cellular automata-based D flip flop", Computers and Electrical Engineering, vol. 85, Article Number: 106658, July 2020 (doi: 10.1016/j.compeleceng.2020.106658).
[21] J.C. Jeon, "Low-complexity QCA universal shift register design using multiplexer and D flip-flop based on electronic correlations", The Journal of Supercomputing, vol. 76, pp. 6438–6452, Aug. 2020 (doi: 10.100-7/s11227-019-02962-y).
[22] M. G. Roshan, M. Gholami, "Novel D Latches and D flip-flops with set and reset ability in QCA nanotechnology using minimum cells and area", International Journal of Theoretical Physics, vol. 57, pp. 3223–3241, Oct. 2018 (doi: 10.1007/s10773-018-3840-1).

[23] Z. Song, G. Xie, X. Cheng, L. Wang, Y. Zhang, "An ultra-low cost multilayer RAM in quantum-dot cellular automata", IEEE Trans. on Circuits and Systems II: Express Briefs, vol. 67, no. 12, pp. 3397-3401, Dec. 2020 (doi: 10.1109/TCSII.2020.2988046).
[24] W. Haixia, Z. Shunan, S. Zhentao, Q. Xiaonan, C. Yueyang, "Design of low-power quaternary flip-flop based on dynamic source-coupled logic", Proceedings of the IEEE/ICECC, pp. 826-828, Ningbo, China, Sep. 2011 (doi: 10.1109/ICECC.2011.6066389).
[25] S. Shim, S. Park, S. Hong, "Design of Q-IDEN D flip-flop using RS latch", International Journal of Computer Sceince and Network Security, vol. 6, no. 9A, Sept. 2006.
[26] G.S. Na, Y.H. Choi, "Quaternary D flip-flop with advanced performance", The Institute of Electronics and Information Engineers, vol. 44, no. 2, pp. 14-20, 2007.
[27] H. Wu, Y. Bai, X. Li, Y. Wang, "Design of high-speed quaternary D flip-flop based on multiple-valued current-mode", Journal of Physics: Conference Series, vol. 1626, June 2020.
[28] A. Mochizuki, T. Kitamura, H. Shirahama, T. Hanyu, "Design of a microprocessor datapath using four-valued differential-pair circuits", Proceedings of the IEEE/ISMVL, pp. 14-14, Singapore, May 2006 (doi: 10.1109/ISMVL.2006.18).
[29] H. Shirahama, T. Hanyu, "Design of high-performance quaternary adders based on output-generator sharing", Proceedings of the IEEE/ISMV, pp. 8-13, Dallas, USA, May 2008 (doi: 10.1109/ISMVL.2-008.11).
[30] A. Navidi, R. Sabbaghi-Nadooshan, M. Dousti, "A creative concept for designing and simulating quaternary logic gates in quantum-dot cellular automata", Frontiers of Information Technology and Electronic Engineering, in Press, 2021 (doi: 10.1631/FITEE.2000590).
[31] K. Walus, T. J. Dysart, G. A. Jullien, R. A. Budiman, "QCADesigner: a rapid design and simulation tool for quantum-dot cellular automata", IEEE Trans. on Nanotechnology, vol. 3, no. 1, pp. 26-31, Mar. 2004 (doi: 10.1109/TNANO.2003.820815).
[32] https://qcasim.com, https://bit.ly/3nFqdTj, 2020.
[33] P. Pain, A. Sadhu, K. Das, M. R. Kanjilal, "Physical proof and simulation of ternary logic gate in ternary quantum dot cellular automata", Computational Advancement in Communication Circuits and Systems, Lecture Notes in Electrical Engineering, vol. 575, pp. 375-385, 2020 (doi: 10.1007/978-981-13-8687-9_34).
[34] B. K. Bhoi, N. K. Misra, I. Dash, A. Patra, "A redundant adder architecture in ternary quantum-dot cellular automata", Smart Intelligent Computing and Applications, vol. 159, pp. 375-384, 2020 (doi: 10.1007/978-981-13-9282-5_35).
[35] S. Srivastava, S. Sarkar, S. Bhanja, "Estimation of upper bound of power dissipation in QCA circuits", IEEE Trans. on Nanotechnology, vol. 8, no. 1, pp. 116-127, Jan. 2009 (doi: 10.1109/TNANO.2008.2005408).

زیرنویس‌ها

1. Metal-oxide-semiconductor field-effect transistor
2. Complementary metal-oxide-semiconductor
3. Quantum-dot cellular automata
4. Qubit
5. Quaternary
6. Binary
7. Switch
8. Hold
9. Release
10. Relax
11. Register
12. Flip-Flop
13. Sequential logic circuit
14. Quaternary quantum-dot cellular automata
15. Binary quantum-dot cellular automata
16. Ternary quantum-dot cellular automata
17. Ternary
18. Standard quaternary inverter
19. Majority gate
20. Layout
21. Parallel input parallel output