JIPET

Journal of Intelligent Procedures in Electrical Technology
Vol. 15/ No. 58/ Summer 2024
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://jipet.iaun.ac.ir/

https://dorl.net/dor/20.1001.1.23223871.1403.15.58.6.7
Research Article

High-Performance Spintronic Based-Neuromorphic Computing System Enabled by Current Monitoring Peripheral Circuit

Pegah Shafaghi[1,3], *Ph.D. Student*, Hooman Farkhani[1,2], *Assistant Professor*, Mehdi Dolatshahi[1], *Assistant Professor*, Homayoun Mahdavi-Nasab[1,3], *Assistant Professor*

[1]Department of Electrical Engineering- Najafabad Branch, Islamic Azad University, Najafabad, Iran
[2]Department of Electrical and computer Engineering- Electronics and Photonics- Aarhus University, Aarhus, Denmark
[3]Smart Microgrid Research Center- Najafabad Branch, Islamic Azad University, Najafabad, Iran
p_shafaghi@iaun.ac.ir, farkhani@ece.au.dk, dolatshahi@iaun.ac.ir, mahdavinasab62@gmail.com

Abstract

Implementation of neuromorphic computing systems (NCSs) using digital and analog circuits occupies a high chip area and consumes high power. With the advancement of nanotechnology, the hybrid Magnetic tunnel junction/Complementary metal–oxide–semiconductor (MTJ/CMOS) circuits have made it possible to implement NCSs with higher density and lower power consumption. However, still there is a gap between the performance of the human brain and NCSs. To mitigate this gap, it is essential to further decrease the energy consumption and the delay of the NCS. The high energy consumption of the MTJ-based NCS is mostly related to the high current needed to switch the MTJ state. Hence, some previous methods tried to perform real-time tracking of the MTJ state by monitoring its voltage and cutting off its current immediately after switching. However, due to the small voltage changes after switching, these methods suffer from a high-power consumption (they need power-hungry amplifiers). In this paper, a new method based on the tracking of MTJ current (instead of voltage) and terminating the MTJ current after switching is proposed. Due to the large changes in the MTJ current after switching (about 40%), there is no need to use an amplifier in the proposed circuit. Therefore, the conventional voltage-mode sensing circuit is replaced with the proposed circuit, to improve the energy efficiency, speed and delay of the NCS. In all state-of-the-art designs, the voltage changes on nodes across the MTJ (PL, FL or both of them) have been used to detect the MTJ switching. However, the proposed circuit detects the MTJ switching by properly sensing the MTJ current and terminates its current immediately. The simulation results in 65-nm CMOS technology confirm that the proposed technique improves the energy consumption and speed of the NCS by 49% and 2.1X compared with the typical NCS.

Keywords: current mirror, energy consumption, magnetic tunnel junction, memristor, neuromorphic computing system, spintronic

Received: 14 June 2022
Revised: 9 October 2022,
Accepted: 15 October 2022

Corresponding Author: Dr. Hooman Farkhani

Citation: P. Shafaghi, H. Farkhani, M. Dolatshahi, H. Mahdavi-Nasab, "High-performance spintronic based-neuromorphic computing system enabled by current monitoring peripheral circuit", Journal of Intelligent Procedures in Electrical Technology, vol. 15, no. 58, pp. 85-98, September 2024 (in Persian).

https://dorl.net/dor/20.1001.1.23223871.1403.15.58.6.7
مقاله پژوهشی

طراحی یک سیستم محاسباتی نورومورفیک مبتنی بر اسپینترونیک با راندمان بالا با استفاده از مدار جانبی ردیابی جریان

پگاه شفقی[۱،۳]، دانشجوی دکتری، هومان فرخانی[۱،۲]، استادیار، مهدی دولتشاهی[۱]، استادیار، همایون مهدوی‌نسب[۱،۳]، استادیار

۱- دانشکده مهندسی برق- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران
۲- دانشکده مهندسی برق و کامپیوتر، الکترونیک و فوتونیک- دانشگاه آرهوس دانمارک، آرهوس، دانمارک
۳- مرکز تحقیقات ریزشبکه‌های هوشمند- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران
p_shafaghi@iaun.ac.ir, farkhani@ece.au.dk, dolatshahi@iaun.ac.ir, mahdavinasab62@gmail.com

چکیده: پیاده‌سازی یک سیستم محاسباتی عصبی (NCS) با استفاده از مدارهای دیجیتال و آنالوگ در فناوری نیم‌رسانای اکسید فلز مکمل (CMOS)، فضا و توان زیادی مصرف می‌کند. با پیشرفت تحقیقات نانو فناوری، ترکیب مدارهای اتصال تونلی مغناطیسی (MTJ) و CMOS، پیاده‌سازی NCSهایی با چگالی بالا ومصرف توان پایین را امکان‌پذیر کرده است. با این وجود، هنوز بین کارایی مغز انسان و NCSها فاصله زیادی وجود دارد. برای کاهش این شکاف، لازم است تا مصرف انرژی و تاخیر در NCS کاهش پیدا کند. مصرف انرژی زیاد NCS، به دلیل جریان زیاد مورد نیاز برای تغییر وضعیت MTJ است. در گذشته محققان با تکنیک‌های ردیابی ولتاژ MTJ و قطع جریان آن بلافاصله پس از کلیدزنی MTJ، مصرف انرژی را کاهش دادند. اما به دلیل تغییرات کوچک ولتاژ پس از کلیدزنی، در این روش‌ها مصرف انرژی همچنان بالا است (به دلیل نیاز به تقویت‌کننده‌ها).
در این مقاله روش جدیدی مبتنی بر ردیابی جریان MTJ (به جای ولتاژ آن) و قطع جریان MTJ بلافاصله پس از کلیدزنی MTJ پیشنهاد شده است. با توجه به تغییرات زیاد در جریان MTJ پس از کلیدزنی (حدود ۴۰ درصد)، نیازی به استفاده از تقویت‌کننده در مدار ردیابی و قطع جریان MTJ نیست. بنابراین، مدار ردیابی ولتاژ با مدار پیشنهادی جایگزین می‌شود تا مصرف انرژی، سرعت و تاخیر NCS بهبود یابد. در تمام طراحی‌های گذشته، تغییرات ولتاژ در دو سر MTJ (PL, FL یا هر دو) برای تشخیص کلیدزنی MTJ استفاده شده است. در مدار پیشنهادی کلیدزنی MTJ با توجه به جریان MTJ تشخیص داده می‌شود و سپس جریان آن بلافاصله قطع می‌شود. بر اساس نتایج شبیه‌سازی در فناوری 65nm-CMOS مدار پیشنهادی می‌تواند، مصرف انرژی و سرعت یک NCS را به ترتیب ۴۹ درصد و ۲/۱ برابر در مقایسه با یک NCS نوعی بهبود بخشد.

کلمات کلیدی: آینه جریان، مصرف انرژی، اتصال تونلی مغناطیسی، ممریستور، سیستم محاسباتی عصبی، اسپینترونیک

تاریخ ارسال مقاله: ۱۴۰۱/۳/۲۴
تاریخ بازنگری مقاله: ۱۴۰۱/۷/۱۷
تاریخ پذیرش مقاله: ۱۴۰۱/۷/۲۳

نام نویسنده‌ی مسئول: دکتر هومان فرخانی
نشانی نویسنده‌ی مسئول: دانمارک- آرهوس- دانشگاه آرهوس- گروه مهندسی برق و کامپیوتر- الکترونیک و فوتونیک

۱- مقدمه

طی چند دهه اخیر، مهندسان به جامعه فلاسفه، روانشناسان، پزشکان و عصب شناسان پیوسته‌اند تا برای تقلید عملکردهای بیولوژیکی، یک سیستم محاسباتی عصبی[۱] (NCS) بسازند. تلاش‌های بسیاری برای دستیابی به سیستم‌های محاسباتی که قابلیت یادگیری و انطباق‌پذیری جهت برقراری ارتباط با محیط، مشابه با کاری که مغز انسان انجام می‌دهد، صورت پذیرفته است. مغز انسان برای اجرای بیش از 10^{16} عملیات حدود ۲۰ وات انرژی مصرف می‌کند که به مغز، یک برتری 10^{12} برابری در مقیاس بزرگ[۲] نسبت به فناوری سوپرکامپیوترهای امروزی می‌دهد که برای اجرای 10^{12} عملیات ۱۵ مگاوات انرژی مصرف می‌کنند [۱،۲]. با در نظر گرفتن محاسبات حجیم که در آینده نزدیک مورد نیاز است، یک تغییر اساسی در ساختار سیستم-های محاسباتی ضروری است تا بتوان به چگالی بالا و مصرف انرژی خیلی پایین رسید. بهترین راه حل، طراحی یک سیستم محاسباتی عصبی است. در دهه اخیر محاسبات این سیستم‌ها به عنوان ابزاری برای تقلید از معماری شبکه بیولوژیکی مورد بررسی قرار گرفته‌اند تا با پردازش موازی داده‌ها مشکل پردازش سریال کامپیوترهای معمولی را حل کنند [۶-۳].

در دو دهه گذشته، هوش مصنوعی[۳] (AI) رشد قابل توجهی کرده است. واحد پردازش اصلی هوش مصنوعی، یک شبکه عصبی مصنوعی[۴] (ANN) است که با الهام گرفتن از مغز انسان باعث بهبود قابل ملاحظه سرعت و مصرف انرژی در کاربردهای محاسباتی شده است [۷]. علیرغم پیشرفت‌های قابل توجهی در الگوریتم‌های ANN، بزرگترین چالش هوش مصنوعی، کارایی پایین این الگوریتم‌ها بر روی رایانه‌های معمولی (CPU و GPU) از نظر سرعت و مصرف انرژی است. NCSها با انجام پردازش تعداد زیادی داده‌های موازی، مشابه مغز انسان، بر محدودیت پردازش سریال داده‌ها در رایانه‌های معمولی غلبه می‌کنند. پیاده-سازی الگوریتم‌های ANN بر روی NCSها، هنوز با عملکرد مغز انسان فاصله دارند. شرکت IBM[۵] اولین پردازشگر را که از مغز الهام گرفته بود، در سال ۲۰۱۱ ساخت[۶]. سپس دومین پردازشگر الهام گرفته از مغز، سیستم نوروسیناپتیک ترونورث[۷] را در سال ۲۰۱۴ با یک شبکه بر روی تراشه با ۴/۰۹۶ هسته نوروسیناپسی ساخت که معادل ۲۵۶ میلیون سیناپس تولید می‌نمود [۸]. همچنین، دیپ مایند[۸] گوگل یک ماشین عصبی تورینگ[۹] ساخت که از حافظه فعال مغز تقلید می‌کرد [۹].

برای پیاده‌سازی NCS، لازم است تا نورون و سیناپس با استفاده از عناصر الکترونیکی و مغناطیسی در مدارهای مجتمع پیاده‌سازی شوند. برای این منظور از اتصال تونلی مغناطیسی[۱۰] (MTJ) برای پیاده‌سازی نورون و از ممریستور [۱۰،۱۱] برای پیاده‌سازی سیناپس استفاده می‌شود. لازم به ذکر است که رفتار کلیدزنی MTJ به‌طور ذاتی تصادفی است. بنابراین، جریانی که از MTJ عبور می‌کند باید بیشتر از جریان آستانه کلیدزنی باشد تا MTJ سوییچ شود. نکته قابل توجهی این است که در اکثر مواقع، جریان کلیدزنی MTJ حتی پس از کلیدزنی از MTJ عبور می‌کند و این منجر به مصرف انرژی بالا در طول فرآیند کلیدزنی MTJ می‌شود. درگذشته، تلاش‌هایی برای حل این مشکل با استفاده از ردیابی ولتاژ در MTJ برای تشخیص کلیدزنی و قطع جریانMTJ بلافاصله پس از کلیدزنی انجام شده است [۱۴-۱۲]. با این حال، به دلیل تغییر ولتاژ پایین پس از کلیدزنی، این روش‌ها به یک تقویت‌کننده نیاز دارند که منجر به افزایش توان می‌شود. لازم به ذکر است که کلیدزنی MTJ بیشترین انرژی را در NCS که با استفاده از قطعات اسپینترونیک[۱۰] طراحی شده است، مصرف می‌کند [۱۵].

در مدار پیشنهادی، سه فناوری MTJ، ممریستور و نیم‌رسانای اکسید فلز مکمل[۱۱] (CMOS) در یک فناوری با هم ترکیب و استفاده شده‌اند. چنین ساختارهایی با در نظر گرفتن مزایایی مانند مصرف انرژی پایین، مساحت پیاده‌سازی پایین، سرعت بالا، زمان تاخیر کمتر و همچنین سازگاری MTJ و ممریستور با فناوری CMOS نسبت به ساختارهای مشابه دیگر در مقیاس نانو بیشتر مورد توجه قرار گرفته‌اند. از دیگر مزایای فناوری اسپینترونیک و ممریستور سازگاری آن با فناوری CMOS است به این معنی که امکان پیاده‌سازی این فناوری در بین لایه فلزی[۱۳] در فناوری CMOS وجود دارد. به عنوان نمونه می‌توان به کمپانی تولید نیمه‌هادی تایوان[۱۴] (TSMC) اشاره کرد که در حال حاضر قادر به تولید همزمان قطعات اسپینترونیک و CMOS در یک تراشه است.

در این مقاله، یک تکنیک جدید بر مبنای طراحی یک ساختار ترکیبی شامل سه فناوری MTJ، ممریستور و CMOS بر اساس ردیابی جریان MTJ (به جای ولتاژ) و قطع جریان بلافاصله پس از کلیدزنی MTJ پیشنهاد شده است. با توجه به تغییرات زیاد جریان MTJ پس از کلیدزنی (حدود ۴۰ درصد)، نیازی به استفاده از تقویت‌کننده در مدار پیشنهادی نیست که این مساله

باعث کاهش مصرف توان مدار پیشنهادی در مقایسه با مدارات طراحی شده در گذشته شده است. در ادامه ساختار مقاله به این شرح است. در بخش دوم به‌طور خلاصه پیاده‌سازی نورون‌های طراحی شده با استفاده از MTJ، ساختار MTJ و همچنین کاربرد ممریستور در NCS مورد بحث قرار می‌گیرد. در بخش سوم تکنیک مدار پیشنهادی مورد بحث قرار گرفته است. بخش چهارم نتایج شبیه‌سازی را ارائه می‌کند. در نهایت، در بخش پنجم نتیجه‌گیری ارائه می‌شود.

۲-مروری بر نورون اسپینترونیک، اتصال تونلی مغناطیسی و ممریستور در عملکرد مغز انسان

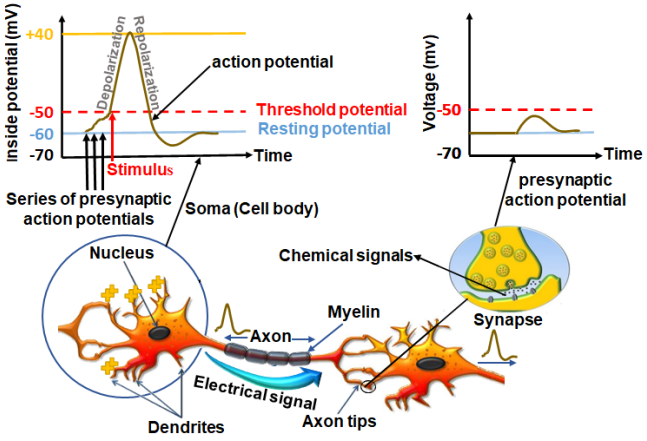
۲-۱- عملکرد نورون

در یک شبکه عصبی بیولوژیکی، نورون‌هایی که به‌عنوان مجموعه‌ای از پردازنده‌های موازی شناخته می‌شوند، همزمان با هم کار می‌کنند و سیناپس‌ها وظیفه انتقال سیگنال‌ها را بین نورون‌های مختلف بر عهده دارند. سیگنال‌های ورودی‌های مختلف از نورون‌های لایه قبل[۱۵] با یکدیگر جمع می‌شوند و در لایه بعد[۱۶] پتانسیل غشا را تولید می‌کنند. اگر پتانسیل غشا به یک پتانسیل آستانه برسد، شکل موجی به نام پتانسیل عمل[۱۷] که در شکل (۱) نشان داده شده است، تولید می‌کند. سپس سیناپس، پتانسیل عمل را به نورون بعدی منتقل می‌کند. این انتقال، یک انتقال ساده نیست به عبارت دیگر سیناپس، سیگنال را در طول مسیر انتقال تقویت یا تضعیف می‌کند [۱۶،۱۷]. شبکه‌های عصبی مصنوعی بر اساس شبکه‌های عصبی بیولوژیکی مدل‌سازی می‌شوند. همان‌طور که در شکل (۲) نشان داده شده است، هر نورون یک خروجی و مجموعه‌ای از ورودی‌ها دارد. ورودی‌ها وزن دارند. مجموع این ورودی‌های وزن‌دار به تابع فعالیت[۱۸] اعمال می‌شوند. انواع مختلفی از توابع فعالیت وجود دارد که در مقاله‌های مختلف مورد بحث قرار گرفته‌اند [۱۸،۱۹]. در ساخت یک نورون با استفاده از MTJ، از تابع پله استفاده خواهد شد. تابع فعالیت، خروجی را بر اساس مجموع سیگنال‌های ورودی تولید می‌کند. ورودی‌ها با عنوان v_1، v_2، ...، v_n با ضریب‌های w_1، w_2، ...، w_n وزن‌دار می‌شوند و به ورودی نورون اعمال می‌شوند. وزن‌ها، عملکردهای سیناپسی بیولوژیکی را در نورون‌ها نشان می‌دهند [۲۰]. عملکرد تابع فعالیت برش سخت[۱۹] را می‌توان به‌صورت زیر نشان داد که W_i وزن سیناپس مربوطه، B_i بایاس نورون و V_i نشان‌دهنده ورودی نورون است.

$$\text{output} = \begin{cases} 1 & \text{if} \quad \sum W_i V_i + B_i \geq \text{Threshold} \\ 0 & \text{if} \quad \sum W_i V_i + B_i < \text{Threshold} \end{cases} \qquad (۱)$$

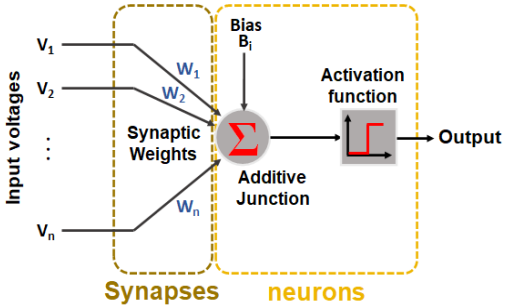
۲-۲- اتصال تونلی مغناطیسی

شکل (۳-الف) ساختار اصلی MTJ را نشان می‌دهد. MTJ شامل دو لایه فرومغناطیسی با یک لایه نازک غیر رسانا است که بین دو لایه فرومغناطیسی قرار گرفته است. لایه ثابت[۲۰] (PL) یک لایه فرومغناطیسی ضخیم با جهت مغناطیسی ثابت است. برخلاف PL، جهت مغناطیسی لایه آزاد[۲۱] (FL) را می‌توان با اعمال میدان مغناطیسی خارجی تغییر داد [۲۱]. همان‌طور که در شکل (۳-ب) نشان داده شده است، جهت مغناطیسی FL نسبت به PL رفتار مقاومتی MTJ را تعیین می‌کند.



شکل (۱): چگونگی انجام محاسبات توسط مغز انسان و نمایش پتانسیل عمل

Figure (1): Performing human brain computations and presenting action potential



شکل (۲): مدل یک نورون مصنوعی

Figure (2): The typical model of an artificial neuron

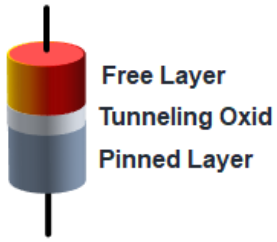
هنگامی که جهت مغناطیسی دو لایه، موازی[۲۲] (P) باشد، مقاومت MTJ (R_P) کم است، اما اگر جهت مغناطیسی دو لایه مغناطیسی، ناموازی[۲۳] (AP) باشد، مقاومت MTJ (R_{AP}) زیاد است. همان‌طور که در بخش قبلی بیان شد، رفتار کلیدزنی MTJ نامتقارن است، به عبارت دیگر مقدار زمان کلیدزنی و مصرف انرژی در هنگام تغییر از P به AP و AP به P متفاوت است. در بیشتر پیاده‌سازی‌های MTJ، تغییر وضعیت MTJ از حالت P به حالت AP جریان آستانه کلیدزنی بیشتری دارد. دلیل آن این است که PL الکترون‌های اسپین را ضعیف می‌کند [۲۴-۲۲]. به عبارت دیگر، میدان مغناطیسی PL از تغییر جهت اسپین‌های FL به جهت مخالف جهت مغناطیسی PL جلوگیری می‌کند [۲۵]. در نتیجه جریان مورد نیاز برای کلیدزنی MTJ افزایش پیدا می‌کند. در مقابل، اگر MTJ از حالت AP به حالت P تغییر وضعیت پیدا کند، میدان مغناطیسی PL فرآیند کلیدزنی را آسان می‌کند و منجر به جریان آستانه کمتری می‌شود. در نتیجه، وضعیت اولیه MTJ در حالت AP تنظیم خواهد شد تا مصرف انرژی و تاخیر NCS را کاهش دهد [۲۶]. اگر مقدار جریان از FL به PL به اندازه کافی باشد، حالت MTJ به حالت P تغییر می‌کند و مقاومت MTJ به R_p کاهش می‌یابد [۲۹-۲۷]. بر این اساس، با استفاده از مدار بازخوانی[۲۴]، می‌توان مقاومت MTJ را ارزیابی و مشخص کرد که نورون فعال شده است یا نه.

۳-۲- عملکرد ممریستور و اتصال تونلی مغناطیسی در یک سیستم محاسباتی عصبی

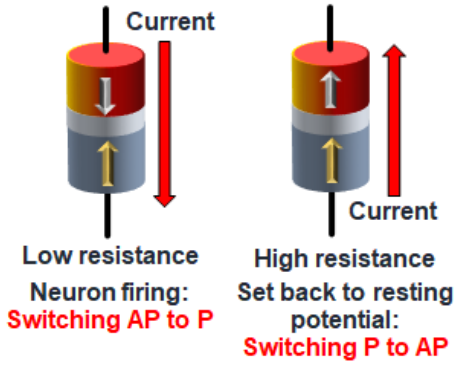
مغز انسان یک سیستم محاسباتی موازی است که از نورون‌ها به‌عنوان واحدهای محاسباتی ساده و از سیناپس‌ها به‌عنوان اتصالات وزن‌دار قابل تنظیم بین نورون‌ها، همان‌طور که در بخش ۲ توضیح داده شده است، استفاده می‌کند. NCS، همان‌طور که در شکل (۴) نشان داده شده است، روشی را که مغز محاسبات را انجام می‌دهد، تقلید می‌کند. برای پیاده‌سازی NCS، به پیاده‌سازی عملکردهای عصبی و سیناپسی از طریق عناصر الکترونیکی نیاز است [۳۰]. از این‌رو، ممریستورها را می‌توان برای انجام عملکرد سیناپسی جهت انجام عملیاتی با مصرف توان پایین استفاده کرد [۳۱،۳۲]. مقاومت ممریستور را می‌توان با سیگنال‌های الکتریکی تنظیم نمود. هر ورودی توسط ممریستور به نورون متصل می‌شود. از این‌رو، ورودی‌های مختلف و ممریستورهای مربوط به آن‌ها جریان‌های متفاوتی را به نورون اعمال می‌کنند. این جریان‌ها با هم جمع می‌شوند و جریان کل از MTJ عبور می‌کند. اگر جریان کل بیشتر از جریان بحرانی باشد ($I_{sum}>I_{critical}$)، MTJ سوییچ می‌شود. سپس، کلیدزنی MTJ توسط مدار بازخوانی حس می‌شود و به عنوان نورون فعال شده در نظر گرفته می‌شود. لازم به ذکر است که جریان آستانه نسبتاً بالای کلیدزنی و ماهیت تصادفی کلیدزنی MTJ، مصرف انرژی NCS مبتنی بر MTJ را افزایش می‌دهد. برای این منظور، یک تکنیک جدید برای کاهش تأثیر منفی کلیدزنی تصادفی MTJ پیشنهاد شده است.

۳- روش ردیابی جریان اتصال تونلی مغناطیسی و قطع جریان آن بلافاصله پس از کلیدزنی

در این بخش، ساختار مدار پیشنهادی توضیح داده خواهد شد. همان‌طور که بیان شد، از MTJ برای تقلید عملکرد نورون و از ممریستور برای تقلید عملکرد سیناپس استفاده می‌شود، مصرف بالای انرژی مورد نیاز برای کلیدزنی MTJ، مصرف انرژی NCS را افزایش می‌دهد.



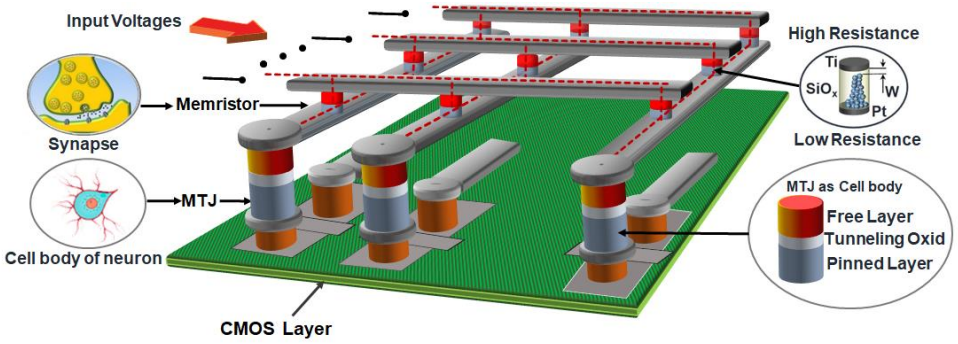
(الف) ساختار اتصال تونلی مغناطیسی



(ب) جهت جریان اتصال تونلی مغناطیسی در دو حالت AP به P و P به AP

شکل (۳): ساختاراصلی اتصال تونلی مغناطیسی

Figure (3): The main structure of MTJ, a) The schematic of the MTJ, b) MTJ current direction in two states AP to P and P to AP



شکل (۴): پیاده سازی سیستم محاسباتی عصبی با استفاده از MTJ و ممریستور برای تقلید عملکرد نورون و سیناپس

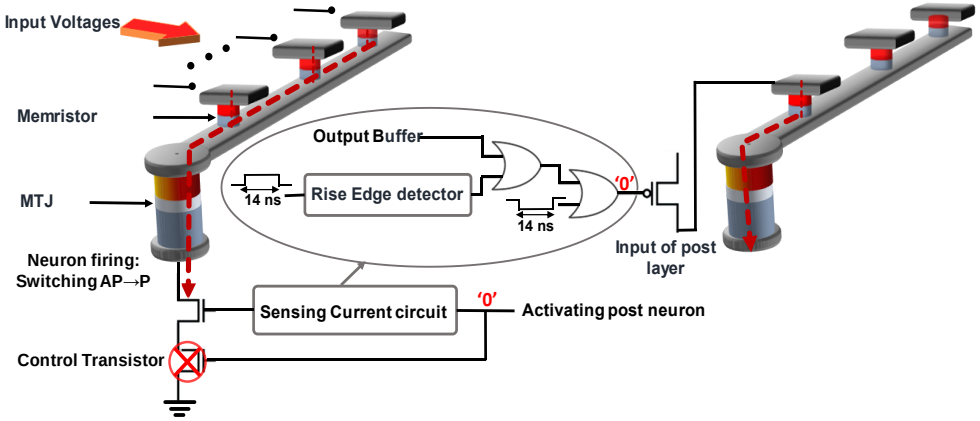
Figure (4): Implementation of the neuromorphic computing system using MTJ and memristor to mimic neuron and synapse functionality

هدف اصلی تکنیک پیشنهادی، تشخیص کلیدزنی MTJ با استفاده از مونیتور کردن تغییرات زیاد در جریان MTJ پس از سوییچ شدن و قطع جریان آن در راستای کاهش مصرف انرژی است.

۳-۱- تحلیل مدار پیشنهادی

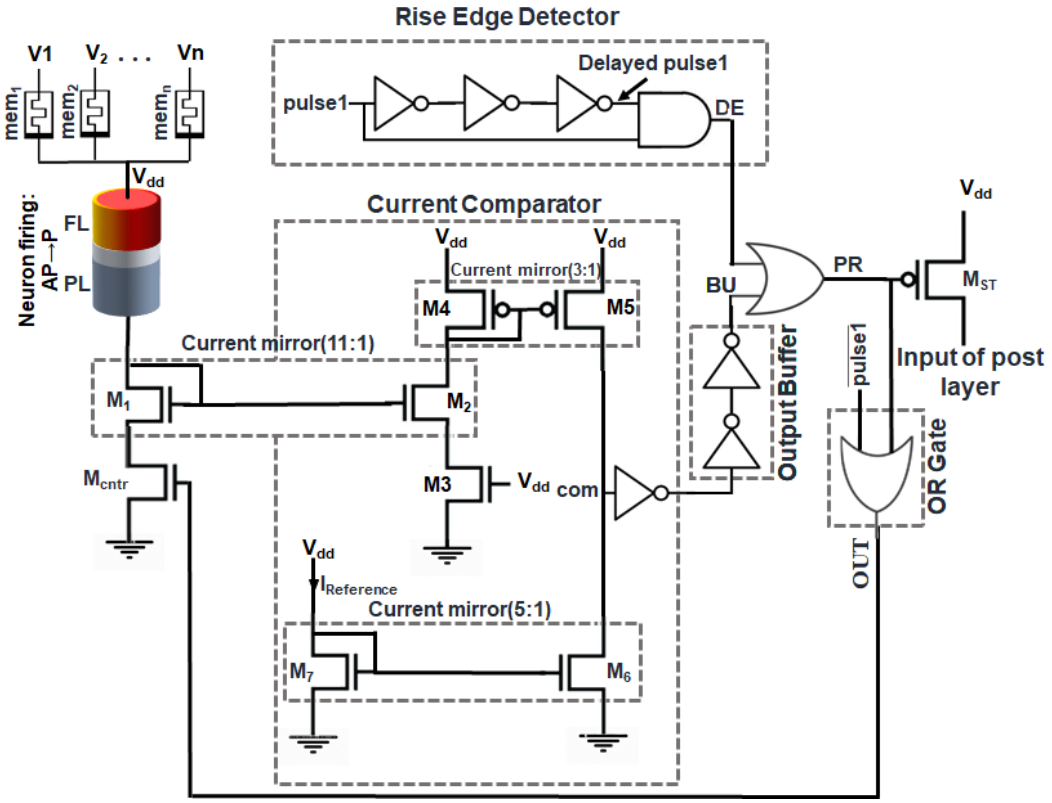
شماتیک NCS براساس مدار پیشنهادی در شکل (۵) نشان داده شده است. با استفاده از تکنیک پیشنهادی و اضافه‌کردن آن به یک NCS می‌توان مصرف انرژی را به‌طور قابل ملاحظه‌ای کاهش داد. بخش قابل توجهی از مصرف انرژی NCS مبتنی بر MTJ مربوط به جریان بالای مورد نیاز برای تغییر وضعیت MTJ است. از این‌رو، تکنیک پیشنهادی برای کاهش مصرف انرژی، با ردیابی و قطع جریان MTJ بلافاصله پس از سوییچ شدن MTJ پیشنهاد شده است. در مدار پیشنهادی، تغییرات جریان MTJ ردیابی می‌شود. با توجه به تغییرات زیاد جریان MTJ پس از کلیدزنی (حدود ۴۰ درصد)، نیازی به استفاده از تقویت‌کننده در مدار پیشنهادی نیست. این مساله مصرف انرژی و تاخیر را به میزان قابل توجهی کاهش می‌دهد. در گذشته، روش‌های مختلفی برای کاهش مصرف انرژی کلیدزنی MTJ پیشنهاد شده است. مدار روش ردیابی هم‌زمان[۲۵] (RTS) پیشنهاد شده در

مرجع [۱۲] و روش خاتمه دادن به نوشتن تفاضلی خود مرجع[۲۶] (SDWT) در مرجع [۱۴] وضعیت MTJ را در طول فاز تحریک با اندازه‌گیری ولتاژ آن ردیابی می‌کنند و جریان MTJ را بلافاصله پس از کلیدزنی MTJ قطع می‌کنند. با وجود کاهش مصرف انرژی MTJ با استفاده از مدارهای RTS و SDWT، این مدارها به دلیل استفاده از تقویت‌کننده، انرژی قابل توجهی مصرف می‌کنند. تقویت‌کننده در مدارات RTS و SDWT، برای تقویت تغییرات ولتاژ پس از کلیدزنی (حدود ۴۰ میلی‌ولت) مورد نیاز است تا با ولتاژ مرجع با استفاده از یک مقایسه‌کننده قابل مقایسه باشد. در NCS مبتنی بر RTS، ۲۵ الی ۴۰ درصد از کل انرژی مصرفی مربوط به مدار RTS است [۱۲]. دلیل آن این است که تقویت‌کننده در مدار RTS برای ۹۰ درصد از فاز تحریک روشن است. علاوه بر این، تاخیر مدار RTS حدود ۰/۵۵ نانوثانیه است و در این مدت نه تنها RTS انرژی مصرف می‌کند، بلکه جریان بالایی نیز از MTJ عبور می‌کند. شکل (۶) اجزای مدار پیشنهادی را نشان می‌دهد. مدار پیشنهادی از پنج بلوک اصلی تشکیل شده است که عبارتند از: سه آینه جریان ساده، یک مقایسه‌کننده جریان، یک بافر خروجی، دو گیت منطقی OR و یک آشکارساز لبه بالارونده. ایده طراحی این است که جریان MTJ با جریان مرجع برابر با میانگین جریان MTJ قبل و بعد از کلیدزنی مقایسه شود. برای انجام این کار، جریان MTJ از طریق آینه جریان که از ترانزیستورهای M_1 و M_2 تشکیل شده است، به مقایسه کننده جریان کپی می‌شود. سپس، مقایسه‌کننده جریان که از ترانزیستورهای $M_{2\text{-}7}$ تشکیل شده است، جریان MTJ را با جریان مرجع تعریف شده برابر $[(I_{MTJ\text{-}P}+I_{MTJ\text{-}AP})/2]$ مقایسه می‌کند. جریان مرجع ($I_{Reference}$)، که توسط ترانزیستور M_7 ایجاد می‌شود، به ترانزیستور M_6 از طریق آینه جریان شامل ترانزیستورهای M_6 و M_7 کپی می‌شود. جریان ترانزیستور M_5 که همان جریان MTJ است و از طریق آینه جریان تشکیل شده توسط ترانزیستورهای M_4 و M_5 به ترانزیستور M_5 کپی شده است با جریان مرجع تعریف شده $[(I_{MTJ\text{-}P}+I_{MTJ\text{-}AP})/2]$ که از ترانزیستور M6 عبورمی‌کند، مقایسه می‌شود. قبل ازکلیدزنی، MTJ در حالت AP است و جریان آن کمتر از جریان مرجع است. بنابراین، I_{M5} کوچکتر از I_{M6} است و ترانزیستور M_6 را به ناحیه خطی هدایت می‌کند. این، باعث می‌شود که ولتاژ گره COM به ولتاژهای زیر $V_{DD}/2$ کاهش پیدا کند. سپس، این ولتاژ، در بلوک بافر خروجی معکوس شده و به اندازه V_{DD} در گره BU تقویت می‌شود که باعث روشن یا خاموش شدن (M_{ST}) M_{cntr} از طریق گیت‌های OR می‌شود. هدف آشکارساز لبه بالارونده[۲۷] (RED) تشخیص لبه‌های مثبت Pulse1 و ایجاد یک پالس کوتاه بلافاصله پس از آن است. وقتی Pulse1 از صفر به ۱ تغییر می‌کند، این پالس کوتاه، M_{cntr} را از طریق گیت‌های OR روشن نگه می‌دارد. بدون آشکارسازلبه بالارونده، Pulse1 و معکوس Pulse1 برای مدت کوتاهی در طول لبه بالارونده Pulse1، صفر خواهند بود که M_{cntr} را خاموش می‌کند. به محض اینکه MTJ به حالت P تغییر حالت می‌دهد، جریان آن به دلیل کاهش مقاومت MTJ به $I_{MTJ\text{-}P}$ افزایش می‌یابد. بنابراین، I_{M5} بیشتر از I_{M6} خواهد بود که باعث می‌شود ترانزیستور M_5 در ناحیه خطی قرار گیرد و ولتاژ گره COM به ولتاژهای بالاتر از $V_{DD}/2$ افزایش پیدا کند. مجدداً، این ولتاژ درگره BU معکوس می‌شود که باعث می‌شود M_{cntr} (M_{ST}) خاموش (روشن) شوند. در نتیجه، جریان MTJ به محض سوییچ شدن MTJ قطع می‌شود و این باعث می‌شود مصرف انرژی به‌طور قابل‌توجهی کاهش پیدا کند. در همان زمان، لایه بعدی با روشن کردن M_{ST} تحریک می‌شود.



شکل (۵): ساختار مدار پیشنهادی مبتنی بر سیستم محاسباتی عصبی

Figure (5): The schematic of the CM-TTC-based NCS



شکل (۶): اجزای مدار پیشنهادی

Figure (6): Implementation of the proposed circuit

۲-۳- تغییر ولتاژ و جریان در شاخه اتصال تونلی مغناطیسی در اثر کلیدزنی

در این قسمت، تغییرات ولتاژ دو سر MTJ (V_{CM1} و V_{CM2}) با تغییرات جریان MTJ (I_{MTJ}) با توجه به کلیدزنی MTJ مقایسه شده است. بنابراین تأثیر کلیدزنی MTJ بر روی I_{MTJ}، V_{CM1} و V_{CM2} برای تعداد متفاوت ورودی شکل (۷-الف) و ولتاژهای ورودی مختلف شکل (۷-ب) مطالعه شده است. در هر دو مورد، تغییرات I_{MTJ} (بیش از ۴۰ درصد) به‌دلیل کلیدزنی، بسیار بیشتر از تغییرات V_{CM1} (کمتر از ۵ درصد) و تغییرات V_{CM2} (کمتر از ۱۷ درصد) است. این نشان دهنده راندمان بالاتر استفاده از تغییرات جریان MTJ برای تشخیص کلیدزنی MTJ در مقایسه با تغییرات ولتاژ است.

شکل (۷-الف) درصد تغییرات در I_{MTJ}، V_{CM1} و V_{CM2} را به ازای تعداد مختلف ورودی (۱ تا ۱۰) نشان می‌دهد. با افزایش تعداد ورودی‌ها، تغییرات در V_{CM1} و V_{CM2} تقریباً ثابت است در حالی که تغییرات در I_{MTJ} با افزایش تعداد ورودی‌ها اندکی افزایش می‌یابد. بنابراین، می‌توان نتیجه گرفت که تغییرات در تعداد ورودی‌ها تأثیر ناچیزی بر تغییرات I_{MTJ}، V_{CM1} و V_{CM2} دارد. همچنین در همه موارد، درصد تغییرات I_{MTJ} (کمتر از۴۰ درصد) بسیار بیشتر از درصد تغییرات V_{CM1} (کمتر از ۳ درصد) و V_{CM2} (کمتر از۱۷ درصد) است. شکل (۷-ب) درصد تغییرات I_{MTJ}، V_{CM1} و V_{CM2} را بعد از کلیدزنی به ازای ولتاژهای ورودی مختلف نشان می‌دهد (V_i از ۰/۹۵ ولت تا ۱/۲ ولت). درصد تغییرات I_{MTJ} بسیار بیشتر از تغییرات V_{CM1} و V_{CM2} برای ولتاژهای ورودی مختلف است. این نتایج همچنین تأیید می‌کند که استفاده از تغییرات جریان برای تشخیص کلیدزنی MTJ بسیار مؤثرتر از استفاده از تغییرات ولتاژ خواهد بود. در نتیجه پس از تغییر حالت MTJ از حالت AP به حالت P، تغییرات زیادی در جریان MTJ (حدود ۴۰ درصد) رخ خواهد داد.

۴- نتایج شبیه‌سازی

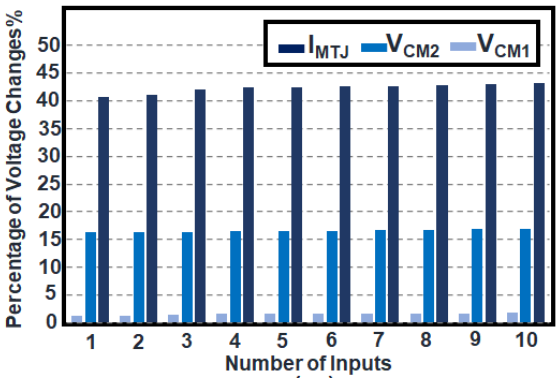
در این بخش، نتایج شبیه‌سازی NCS مبتنی بر مدار پیشنهادی با استفاده از فناوری سیموس ۶۵ نانومتر ارائه می‌شود[۲۸]. ولتاژ تغذیه و دمای شبیه‌سازی در شبیه‌ساز اچ‌اسپایس[۲۹] به‌ترتیب ۱ ولت و ۲۵ درجه سانتی‌گراد در نظر گرفته شده است. از مدل

MTJ مدولار فشرده که بر اساس لاندو-لیفشیتز-گیلبرت[۳۰] (LLG) کار می‌کند استفاده شده است[۳۱]. برای ممریستور، مدل ممریستور تطبیقی آستانه[۳۲] (TEAM) [۳۳] به دلیل انعطاف‌پذیری و دقت در شبیه‌سازی‌ها استفاده شده است. جدول (۱) مقادیر مدل اتصال تونلی مغناطیسی، ممریستورها و ترانزیستورهای CMOS مورد استفاده در NCS مبتنی بر مدار پیشنهادی را نشان می‌دهد.

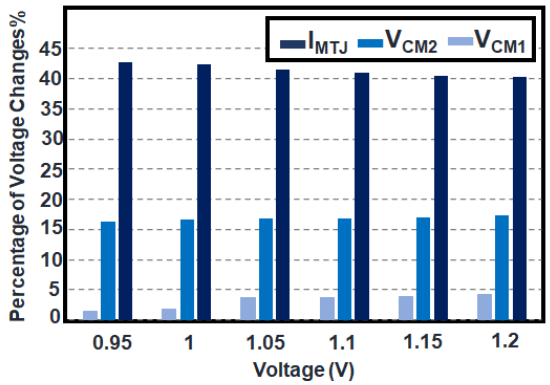
Table (1): NCS Parameters

جدول (۱): پارامترهای سیستم محاسبات عصبی

روش	پارامتر	مقدار
اتصال تونلی مغناطیسی [۳۱]	ابعاد لایه آزاد	(۱/۵ نانومتر) (۱۱۶ نانومتر) (۴۰ نانومتر)
	ضخامت لایه اکسید (T_{MgO})	۱/۱۵ نانومتر
	مغناطیس اشباع	۸۵۰ واحد الکترومغناطیسی بر مترمکعب
	ضریب میرایی	۰/۰۲۸
ترانزیستور سیموس	فناوری	۶۵ نانومتر
	ولتاژ تغذیه	۱ ولت
ممریستور [۳۲]	R_{ON}/R_{OFF}	۱۰/۱۰۰۰۰
	ضخامت لایه نازک	۳ نانومتر
	K_ON	-8×10^{-13}
	K_OFF	8×10^{-13}
	α	۳



(الف) درصد تغییرات جریان اتصال تونلی مغناطیسی و تغییرات ولتاژ در دو سر آن برای تعداد ورودی‌های مختلف (ولتاژ ورودی ۱ ولت)



(ب) درصد تغییرات جریان اتصال تونلی مغناطیسی و تغییرات ولتاژ در دو سر آن برای ولتاژهای ورودی مختلف (تعداد ورودی‌ها ۵)

شکل (۷): درصد تغییرات در جریان اتصال تونلی مغناطیسی و ولتاژ به ازای تعداد مختلف ورودی و ولتاژهای مختلف ورودی

Figure (7): The percentage of the MTJ current changes and voltage changes for different number of inputs and different input voltages, a) The percentage of the MTJ current changes and voltage changes for different number of inputs when the input voltage is 1V, b) The percentage of the MTJ current changes and voltage changes for different input voltages when the number of inputs is 5.

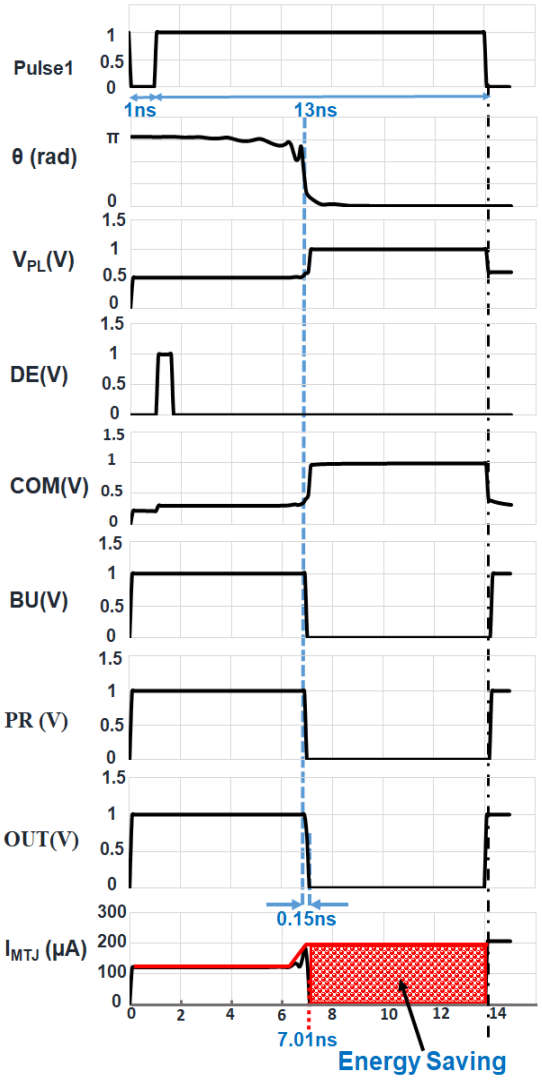
۴-۱- نتایج شبیه‌سازی حالت گذرا

شکل (۸) شبیه‌سازی حالت‌گذرای مدار پیشنهادی را نشان می‌دهد. شبیه‌سازی گذرا برای V_{DD} برابر یک ولت انجام شده است. زاویه (θ)، بین دو لایه فرومغناطیسی MTJ (PL و FL)، وضعیت MTJ را تعیین می‌کند. اگر θ برابر صفر باشد به این معنی است که MTJ در حالت P است و اگر θ برابر π باشد به این معنی است که MTJ در حالت AP است. شبیه‌سازی NCS از t برابر یک نانوثانیه با اعمال کردن Pulse1 شروع می‌شود. پس از اعمال‌کردن Pulse1 در زمان ۶/۹۷ نانوثانیه، MTJ سوییچ می‌شود. در این مدار با استفاده از شبیه‌سازی مونت-کارلو[۳۳] (MC) با ۱۰۰۰ بار تکرار، σ1 (انحراف معیار با کجی زیاد[۳۴]) و σ2 (انحراف معیار با کجی کم[۳۵]) به‌ترتیب ۱/۰۵ نانوثانیه و ۰/۸۵ نانوثانیه تعیین می‌شوند. با در نظر گرفتن مقادیر فوق کندترین زمان کلیدزنی ۱۳/۲۷ نانوثانیه (6.97+6σ1) و سریع‌ترین زمان کلیدزنی ۱/۸۷ نانوثانیه (6.97-6σ2) محاسبه می‌شوند. در نتیجه، برای تضمین کلیدزنی MTJ در NCS نوعی پالسی با دوره تناوب بیشتر از ۱۳/۲۷ نانوثانیه مورد نیاز است. از آنجا که کلیدزنی MTJ هرگز قبل از یک نانوثانیه اتفاق نمی‌افتد (سریع‌ترین زمان کلیدزنی ۱/۸۷ نانوثانیه محاسبه شده است)، مدار پیشنهادی با یک نانوثانیه تاخیر نسبت به Pulse1 روشن می‌شود تا مصرف انرژی NCS مبتنی بر مدار پیشنهادی را کاهش دهد. هنگامی که مدار پیشنهادی روشن است (t بیشتر از یک نانوثانیه)، جریان MTJ به شاخه مقایسه‌کننده جریان کپی می‌شود و با جریان مرجع $[(I_{MTJ-P}+I_{MTJ-AP})/2]$ مقایسه می‌شود. قبل از کلیدزنی MTJ، MTJ در حالت AP است و جریان آن کمتر از ولتاژ مرجع است. بنابراین ولتاژ خروجی مقایسه‌کننده جریان (COM) کمتر از نصف V_{DD} است که این مقدار معکوس می‌شود و در BU تا یک ولت تقویت می‌شود. این باعث می شود که M_{cntr} از طریق گیت‌های OR روشن بماند. هنگامی که کلیدزنی MTJ اتفاق می‌افتد (t برابر ۶/۹۷ نانوثانیه)، جریان MTJ از جریان مرجع بالاتر خواهد رفت. در نتیجه، ولتاژ خروجی مقایسه‌کننده جریان[۳۶] (V_{COM}) بالاتر از نصف V_{DD} خواهد رفت. این باعث می‌شود ولتاژ BU از یک به صفر تغییر کند. در نتیجه ولتاژ گیت ترانزیستور کنترل (M_{cntr}) از طریق گیت‌های OR صفر شده، M_{cntr} را خاموش کرده و جریان MTJ را بلافاصله پس از کلیدزنی قطع می‌کند. تأخیر مدار پیشنهادی همان‌طور که در شکل (۸) نشان داده شده است ۰/۱۵ نانوثانیه برآورد شده است. لازم به ذکر است که مساحت مدار پیشنهادی برابر ۴/۷ میکرومترمربع است که ۹۱ درصد کمتر از مدار RTS [۱۲] است.

۴-۲- کاهش مصرف انرژی در مدار پیشنهادی

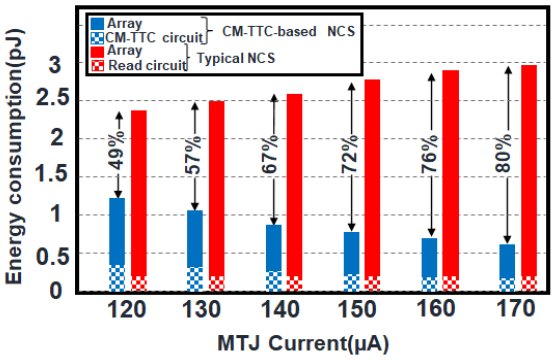
برای محاسبه کل مصرف انرژی NCS مبتنی بر مدار پیشنهادی، مصرف انرژی شاخه MTJ (ممریستورها، MTJ، M1 و M_{cntr}) و مصرف انرژی مدار پیشنهادی محاسبه شده است. مصرف انرژی NCS مبتنی بر مدار پیشنهادی برابر ۱۲۰۱ فمتوژول در V_{DD} برابر یک ولت و I_{MTJ} برابر ۱۲۰ میکروآمپر محاسبه شده است. در NCS نوعی، تا زمانی که سیگنال Pulse1 فعال است، جریان در ممریستور، MTJ و ترانزیستور جاری است. انرژی مصرف شده توسط NCS نوعی حدود ۲۳۶۵ فمتوژول است. هنگامی که Pulse1 به یک می‌رسد، MTJ تحریک می‌شود و مدار پیشنهادی وضعیت MTJ را به‌طور همزمان حس می‌کند. در صورت وقوع کلیدزنی MTJ، مدار پیشنهادی مسیر جریان را با خاموش کردن M_{cntr} قطع می‌کند و نورون لایه بعد را تحریک می‌کند. این امر مصرف انرژی NCS را از ۲۳۵۴ فمتوژول به ۱۲۰۱ فمتوژول کاهش می‌دهد. مصرف انرژی NCS مبتنی بر مدار پیشنهادی در تأخیر بهینه (۰/۱۵ نانوثانیه) برابر ۱۲۰۱ فمتوژول به‌دست می‌آید. از این‌رو، مصرف انرژی NCS مبتنی بر مدار پیشنهادی در مقایسه با NCS نوعی ۴۹ درصد کاهش می‌یابد. کل مصرف انرژی NCS مبتنی بر مدار پیشنهادی و NCS نوعی در شکل (۹) برای جریان‌های مختلف MTJ نشان داده شده است. با افزایش جریان، زمان کلیدزنی در مدار پیشنهادی کاهش پیدا می‌کند در نتیجه مدت زمانی که مدار پیشنهادی روشن است و کار می‌کند کمتر می‌شود. این باعث می‌شود، مصرف انرژی در جریان‌های بالاتر، کمتر شود. همان‌طور که در شکل (۹) نشان داده شده است، مصرف انرژی NCS مبتنی بر مدار پیشنهادی از ۱۲۰۱ فمتوژول در I_{MTJ} برابر ۱۲۰ میکروآمپر به ۶۲۱ فمتوژول در I_{MTJ} برابر ۱۷۰ میکروآمپر کاهش می‌یابد. مصرف انرژی NCS مبتنی بر مدار پیشنهادی به عنوان مجموع کل مصرف انرژی مدار پیشنهادی و NCS است. از این‌رو،

بهبود مصرف انرژی NCS مبتنی بر مدارپیشنهادی در مقایسه با NCS نوعی از ۴۹ درصد در I_{MTJ} برابر ۱۲۰ میکروآمپر به ۸۰ درصد در I_{MTJ} برابر ۱۷۰ میکروآمپر افزایش می‌یابد.



شکل (۸): نتایج شبیه‌سازی سیستم محاسباتی عصبی با مدار پیشنهادی

Figure (8): Simulation results of the proposed circuit



شکل (۹): مقایسه کل مصرف انرژی سیستم محاسباتی عصبی مبتنی بر مدار پیشنهادی و سیستم محاسباتی عصبی نوعی برای جریان-های مختلف گره‌های مدارهای اتصال تونلی مغناطیسی (بهبود مصرف انرژی کل سیستم محاسباتی عصبی مبتنی بر مدار پیشنهادی در مقایسه با سیستم محاسباتی عصبی نوعی برحسب درصد)

Figure (9): The total energy consumption comparison of the CM-TTC-based NCS and the typical NCS for different MTJ currents. The improvement of the total energy consumption of the CM-TTC-based NCS in comparison with the typical NCS is shown as a percentage.

Table (2): Performance comparison of proposed circuit, RTS and SDWT circuits

جدول (۲): مقایسه مدار پیشنهادی با سایر مدارهای طراحی شده

پارامترها	مدار طراحی شده	مدار روش ردیابی هم‌زمان [۱۲]	روش خاتمه دادن به نوشتن تفاضلی خود مرجع [۱۴]
فناوری	سیموس ۶۵ نانومتر	سیموس ۶۵ نانومتر	سیموس ۶۵ نانومتر
ولتاژ تغذیه (ولت)	۱	۱	۱
تاخیر (نانوثانیه)	۰/۱۵	۰/۵۵	۰/۷۹
زمان کلیدزنی (نانوثانیه)	۶/۹۷	۷/۱۳	۵/۲۸
توان (میکروواوت)	۴۰/۵۴	۴۳/۳۴	۴۴/۰۴

۳-۴- مقایسه مدار پیشنهادی با طراحی‌های انجام شده در گذشته

در این قسمت، نتایج مدار پیشنهادی با بهترین روش‌های طراحی مدار روش ردیابی هم‌زمان [۱۲] و مدار روش خاتمه دادن به نوشتن تفاضلی خود مرجع [۱۴] مقایسه و در جدول (۲) خلاصه شده است. در مدار RTS [۱۲] از تغییرات ولتاژ PL یا FL و یا هر دو برای تشخیص کلیدزنی MTJ استفاده می‌شود. با توجه به اینکه این تغییرات حدود ۴۰ میلی‌ولت است، برای تقویت تغییرات ولتاژ به تقویت‌کننده نیاز است. از طرف دیگر، تقویت‌کننده در مدار RTS در طول فاز تحریک تقریباً ۹۰ درصد روشن می‌شود. این مساله باعث افزایش انرژی مدار RTS خواهد شد. همچنین استفاده از تغییرات ولتاژ برای سنجش کلیدزنی، تاخیر مدار RTS را افزایش می‌دهد. جدول (۲) شامل پارامترهای ولتاژ، تاخیر مدار، زمان کلیدزنی و مصرف توان است. با توجه به پارامترهای بررسی شده در جدول مقایسه، مصرف انرژی مدار پیشنهادی و همچنین راندمان آن قابل محاسبه و بررسی است. از آنجایی که توان و جریان مدار پیشنهادی به‌طور قابل توجهی نسبت به مدارهای طراحی شده در گذشته کاهش پیدا کرده است، بنابراین مصرف انرژی مدار پیشنهادی نیز به‌طور قابل توجهی کاهش پیدا می‌کند و در نهایت راندمان مدار طراحی شده پیشنهادی نسبت به مدارهای طراحی شده در گذشته بهبود پیدا می‌کند.

۵- نتیجه‌گیری

در این مقاله، یک مدار جدید برای ردیابی جریان و قطع آن بلافاصله بعد از کلیدزنی MTJ ارائه شده است. در تمام طراحی‌های پیشرفته در گذشته، از تغییرات ولتاژ در گره‌های مدارهای اتصال تونلی مغناطیسی برای تشخیص کلیدزنی MTJ استفاده شده است. مدار پیشنهادی، جایگزینی برای مصرف انرژی و سرعت NCS است. نتایج شبیه‌سازی در فناوری سیموس ۶۵ نانومتر تأیید می‌کند که مصرف انرژی و سرعت NCS مبتنی بر مدار پیشنهادی، به‌ترتیب تقریباً ۴۹ درصد و ۲/۱ برابر در مقایسه با NCS نوعی بهبود یافته است.

References

مراجع

[1] F.A.C. Azevedo, L.R.B. Carvalho, L.T. Grinberg, J.M. Farfel, R.E.L. Ferretti, R.E.P. Leite, W.J. Filho, R. Lent, S. Herculano-Houzel, "Equal numbers of neuronal and nonneuronal cells make the human brain an isometrically scaled-up primate brain", vol. 513, no. 5, pp. 532-541, Apr. 2009 (doi: 10.1002/cne.21974).

[2] S. Pirzadi, M.A. Pourmina, S.M. Safavi-Hemami, "Delay-tolerant routing optimization using simulated annealing heuristic algorithm in disrupted mobile ad-hoc networks", Journal of Intelligent Procedures in Electrical Technology, vol. 14, no.56, pp. 131-150, Mar. 2024 (in Persian) (dor: 20.1001.1.23223871.14-02.14.56.9.9).

[3] A. Basu, S. Ramakrishnan, C. Petre, S. Koziol, S. Brink, P.E. Hasler, "Neural dynamics in reconfigurable silicon", IEEE Trans. on Biomedical Circuits and Systems, vol. 4, no. 5, pp 311-319, Oct. 2010 (doi: 10.1109/TBCAS.2010.2055157).

[4] S. Ramakrishnan, P.E. Hasler, C. Gordon, "Floating gate synapses with spike-time-dependent plasticity", IEEE Trans. on Biomedical Circuits and Systems, vol. 5, no. 3, pp 244-252, June 2011 (doi: 10.1109/TB-CAS.2011.2109000).

[5] M. Sharad, D. Fan, K. Roy, "Spin-neurons: A possible path to energy-efficient neuromorphic computers", Journal of Applied Physics, vol. 114, no. 23, pp. 234906-1-234906-6, Nov. 2013 (doi: 10.1063/1.4838096).
[6] D. Fan, Y. Shim, A. Raghunathan, K. Roy, "STT-SNN: A spin-transfer-torque based soft-limiting non-linear neuron for low-power artificial neural networks", IEEE Trans. on Nanotechnology, vol. 14, no. 6, pp 1013-1023, June 2015 (doi: 10.1109/TNANO.2015.2437902).
[7] C.P. Langlotz, B. Allen, B.J. Erickson, J. Kalpathy-Cramer, K. Bigelow, T.S. Cook, A.E. Flanders, M.P. Lungren, D.S. Mendelson, J.D. Rudie, G. Wang, K. Kandarpa, "A roadmap for foundational research on artificial intelligence in medical imaging: from the 2018 nih/rsna/acr/the academy workshop", Radiology, vol. 291, no.3, pp. 781-791, June 2019 (doi: 10.1148/radiol.2019190613).
[8] M. Davies, N. Srinivasa, T. Lin, G. Chinya, Y. Cao, S. H. Choday,G. Dimou, P. Joshi, N. Imam, S. Jain, Y. Liao, C. Lin, A. Lines, R. Liu, D. Mathaikutty, S. McCoy, A. Paul, J. Tse, G. Venkataramanan, Y. Weng, A. Wild, Y. Yang, H. Wang, "Loihi: A neuromorphic manycore processor with on-chip learning", IEEE Micro, vol. 38, no. 1, pp 78-91, Jan. 2018 (doi: 10.1109/MM.2018.112130359).
[9] L. Alzubaidi, J. Zhang, A. J. Humaidi, A. Al-Dujaili, Y. Duan, O. Al-Shamma, J. Santamaría, M. A. Fadhel, M. Al-Amidie, L. Farhan, "Review of deep learning: concepts, CNN architectures, challenges, applications, future directions", Journal of Big Data, vol. 8, no. 53, Mar. 2021 (doi: 10.1186/s40537-021-00444-8).
[10] K. Karami, S.M. Zanjani, M. Dolatshahi, "Design and simulation of 4 transistors and 2 memristors memory with the least power and power-delay product", Journal of Intelligent Procedures in Electrical Technology, vol. 12, no.48, pp. 1-11, Feb. 2022 (in Persian) (dor: 20.1001.1.23223871.1400.12.3.4.4).
[11] A. Alijani, B. Ebrahimi, M. Dousti, "Design of low-power, high-speed, high-density hybrid nonvolatile memory cell using 4-transistor and 1-memristor", Journal of Intelligent Procedures in Electrical Technology, vol. 13, no.52, pp. 53-64, Mar. 2023 (in Persian) (dor: 20.1001.1.23223871.1401.13.52.4.9).
[12] H. Farkhani, M. Tohidi, S. Farkhani, J.K. Madsen, F. Moradi, "A low-power high-speed spintronics-based neuromorphic computing system using real time tracking method", IEEE Circuits and Systems Society, vol. 8, no. 3, pp. 627-638, Sept. 2018 (doi: 10.1109/JETCAS.2018.2813389).
[13] T. Zheng, J. Park, M. Orshansky, M. Erez, "Variable-energy write STT-RAM architecture with bit-wise write-completion monitoring", Proceeding of the IEEE/ISLPED, pp. 229-234, Beijing China, Sept. 2013 (doi: 10.1109/ISLPED.2013.6629299).
[14] H. Farkhani, M. Tohidi, A. Peiravi, J.K. Madsen F. Moradi, "STT-RAM energy reduction using self-referenced differential write termination techniqu", IEEE Trans. on Very Large Scale Integration, vol. 25, no. 2, pp. 476-487, Feb. 2017 (doi: 10.1109/TVLSI.2016.2588585).
[15] H. Farkhani, I. Prejbeanu, F. Moradi, "LAS-NCS: A Laser-Assisted Spintronic Neuromorphic Computing System", IEEE Trans. on Circuits and Systems, vol. 66, no. 5, pp. 838-842, Mar. 2019 (doi: 10.1109/TCSII.-2019.2908077).
[16] E. Raimondo, A. Giordano, A. Grimaldi, V. Puliafito, M. Carpentieri, Z. Zeng, R. Tomasello, G. Finocchio, "Reliability of neural networks based on spintronic neurons", IEEE Magnetics Letters, vol. 12, pp. 1-5, July 2021 (doi: 10.1109/LMAG.2021.3100317).
[17] A.H. Lone, S. Amara, H. Fariborzi, "Voltage-controlled domain wall motion-based neuron and stochastic magnetic tunnel junction synapse for neuromorphic computing applications", IEEE Journal on Exploratory Solid-State Computational Devices and Circuits , vol. 8, no. 1, pp. 1-9, Dec. 2021 (doi: 10.1109/JXCDC.20-21.3138038).
[18] K. Leboeuf, R. Muscedere, M. Ahmadi, "Performance analysis of table-based approximations of the hyperbolic tangent activation function", Proceeding of the IEEE/MWSCAS, Seoul, Korea (South), Aug. 2011 (doi: 10.1109/MWSCAS.2011.6026515).
[19] Y. Guo, L. Sun, Z. Zhang, H. He, "Algorithm research on improving activation function of convolutional neural networks" Proceeding of the IEEE/CCDC, pp. 3582-3586, Nanchang, China, June 2019 (doi: 10.1109/CCDC.2019.8833156).
[20] A. Ghomi, M. Dolatshahi, "Design of a new CMOS low-power analogue neuron", IETE Journal of Research, vol. 64, no. 6, pp. 1-9, Aug. 2017 (doi:10.1080/03772063.2017.1351315).
[21] R. Zand, A. Roohi, S. Salehi, R.F. Demara, "Scalable adaptive spintronic reconfigurable logic using area-matched MTJ design", IEEE Trans. on Circuits and Systems, vol. 63, no. 7, pp. 678-682, July 2016 (doi: 10.1109/TCSII.2016.2532099).
[22] J. Kim, A. Chen, B. Behin-Aein, S. Kumar, J. Wang, C.H. Kim, "A technology-agnostic MTJ SPICE model with user-defined dimensions for STT-MRAM scalability studies", Proceeding of the IEEE/CICC, pp. 1-4, San Jose, CA, USA, Sept. 2015 (doi: 10.1109/CICC.2015.7338407).
[23] K. Nishioka, H. Honjo, S. Ikeda, T. Watanabe, S. Miura, H. Inoue, T. Tanigawa, Y. Noguchi, M. Yasuhira, H. Sato, T. Endoh, "Novel quad-interface MTJ technology and its first demonstration with high thermal stability factor and switching efficiency for STT-MRAM beyond 2X nm", IEEE Trans. on Electron Devices, vol. 67, no. 3, pp. 995-1000, Mar. 2020 (doi: 10.1109/TED.2020.2966731).

[24] H. Sato, M. Yamanouchi, S. Ikeda, S. Fukami, F. Matsukura, H. Ohno, "Perpendicular-anisotropy CoFeB-MgO magnetic tunnel junctions with a MgO/CoFeB/Ta/CoFeB/MgO recording structure", Applied Physics Letters, vol. 101, no. 2, pp. 1-4, July 2012 (doi.org/10.1063/1.4736727).
[25] W. Zhu, H. Li, Y. Chen, X. Wang, "Current switching in MgO-based magnetic tunneling junctions", IEEE Tran. on Magnetics, vol. 47, no. 1, pp. 156-160, Jan. 2011 (doi: 10.1109/TMAG.2010.2085441).
[26] E. Hirayama, H. Sato, Sh. Kanai, F. Matsukura, H. Ohno, "Magnetization reversal by field and current pulses in elliptic CoFeB/MgO tunnel junctions with perpendicular easy axis", IEEE Magntics Letters, vol. 7, pp. 1-4, May 2016 (doi: 10.1109/LMAG.2016.2568163).
[27] X. Fong, Y. Kim, K. Yogendra, D. Fan, A. Sengupta, A. Raghunathan, K. Roy, "Spin-transfer torque devices for logic and memory: prospects and perspectives", IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 35, no. 1, pp. 1-22, Jan. 2016 (doi: 10.1109/TCAD.2015.2481793).
[28] A. Sengupta, K. Roy, "A vision for all-spin neural networks: a device to system perspective", IEEE Trans. on Circuits and Systems, vol. 63, no. 12, pp. 2267-2277, Dec. 2016 (doi: 10.1109/TCSI.2016.2615312).
[29] A. Sengupta, K. Roy, "Spin-transfer torque magnetic neuron for low power neuromorphic computing", Proceeding of the IEEE/IJCNN, pp. 1-7, Killarney, Ireland, July 2015 (doi: 10.1109/IJCNN.2015.7280306).
[30] M.L. Varshika, F. Corradi, A. Das, "Nonvolatile memories in spiking neural network architectures: Current and emerging trends", Electronics journal, vol. 11, no. 10, pp. 1-24, May 2022 (doi: 10.3390/electronics111-01610).
[31] H. Thapliyal, F. Sharifi, S.D. Kumar, "Energy-efficient design of hybrid MTJ/CMOS and MTJ/Nanoelect-ronics circuits", IEEE Trans. On Magnetics, vol. 54, no. 7, pp. 1-8, July 2018 (doi: 10.1109/TMAG.2018.2-833431).
[32] M.J. Sharifi, Y. M.Banadaki, "General SPICE models for memristor and application to circuit simulation of memristor-based synapses and memory cells", Journal of Circuits, Systems, and Computers, vol. 19, no. 2, pp. 407-424, Apr. 2010 (doi: 10.1142/S0218126610006141).
[33] S. Kvatinsky, E. Friedman, A. Kolodny, U. Weiser, "TEAM: threshold adaptive memristor model", IEEE Trans. on Circuits and Systems, vol. 60, no. 1, pp. 211-221, Jan. 2013 (doi: 10.1109/TCSI.2012.2215714).

زیرنویس‌ها

1. Neuromorphic computing system
2. Operation /($s \times w \times cm^3$)
3. Artificial intelligence
4. Artificial neural network
5. International business machines corporation
6. IBM’s brain-inspired processor, online available: http://www.research.ibm.com/articles/brain-chip.shtml.
7. TrueNorth neurosynaptic system
8. Deepmind
9. Turing machine
10. Magnetic tunnel junction
11. Spintronic
12. Complementary metal oxide semiconductor
13. Metal layer
14. Taiwan semiconductor manufacturing company
15. Pre-neuron
16. Post-neuron
17. Action potential
18. Activation function
19. Hard limit
20. Pinned layer
21. Fixed layer
22. Parallel
23. Anti-parallel
24. Read circuit
25. Real time tracking method
26. Self-referenced differential write termination technique
27. Rise edge detector
28. Predictive Technology model, http://ptm.asu.edu/modelcard/2006/65nm_bulk.pm.
29. HSPICE
30. Landau-Lifshitz-Gilbert

31. K.Y. Camsari, S. Ganguly, S. Datta, "Modular spintronics library", https://nanohub.org/resources/17831, May 2013.
32. Threshold adaptive memristor model
33. Monte carlo
34. High skew standard deviation
35. Low skew standard deviation
36. Current comparator